

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年 7月11日

出 願 番 号  
Application Number:

特願2002-203158

[ST.10/C]:

[JP2002-203158]

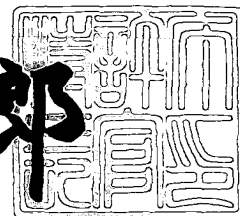
出 願 人  
Applicant(s):

シャープ株式会社

2003年 5月30日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3041276

【書類名】 特許願

【整理番号】 02J01210

【提出日】 平成14年 7月11日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/00

【発明の名称】 半導体検査装置及び半導体検査方法

【請求項の数】 16

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 坂口 英明

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 永廣 雅之

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 森 雅美

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代表者】 町田 勝彦

【代理人】

【識別番号】 100078868

【弁理士】

【氏名又は名称】 河野 登夫

【電話番号】 06-6944-4141

【選任した代理人】

【識別番号】 100114557

【弁理士】

【氏名又は名称】 河野 英仁

【電話番号】 06-6944-4141

【手数料の表示】

【予納台帳番号】 001889

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208490

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体検査装置及び半導体検査方法

【特許請求の範囲】

【請求項 1】 複数の出力端子の各々から階調出力電圧を出力する半導体集積回路の階調出力電圧特性を検査するために各出力端子に対応する出力電圧検査手段を備える半導体検査装置において、

前記出力電圧検査手段は、階調出力電圧から得られる被検査電圧を入力する被検査電圧入力手段と、被検査電圧と比較すべき比較電圧を比較電圧生成用データ入力手段から入力される比較電圧生成用データに基づいて生成する比較電圧生成手段と、被検査電圧と比較電圧とを比較する比較手段とを備え、

前記比較電圧生成用データは、他の出力電圧検査手段と共通に与えられる共通比較電圧生成用データ及び各比較手段が有する固有の誤差を補正するために個別に与えられる個別比較電圧生成用データを加算して生成される構成としてあることを特徴とする半導体検査装置。

【請求項 2】 前記比較電圧生成用データ入力手段は、共通比較電圧生成用データを入力する共通比較電圧生成用データ入力手段と、個別比較電圧生成用データを入力する個別比較電圧生成用データ入力手段と、共通比較電圧生成用データ及び個別比較電圧生成用データを加算する加算器とを備え、

該加算器における加算結果を前記比較電圧生成用データとして比較電圧生成手段へ入力する構成としてあることを特徴とする請求項 1 記載の半導体検査装置。

【請求項 3】 前記比較手段は、被検査電圧が比較電圧の上限許容範囲か否かを比較検出するハイレベル比較器及び被検査電圧が比較電圧の下限許容範囲か否かを比較検出するローレベル比較器を備え、ハイレベル比較器及びローレベル比較器各々に対応して比較電圧生成用データ入力手段及び比較電圧生成手段を備えることを特徴とする請求項 1 又は 2 記載の半導体検査装置。

【請求項 4】 前記個別比較電圧生成用データを設定記憶し、個別比較電圧生成用データを比較電圧生成用データ入力手段へ出力する補正データ生成手段を備えることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体検査装置。

【請求項 5】 前記補正データ生成手段は出力電圧検査手段毎に個別に設け

られることを特徴とする請求項 4 記載の半導体検査装置。

【請求項 6】 前記階調出力電圧に対応する階調期待値電圧を出力する期待値電圧発生手段と、階調出力電圧と階調期待値電圧との差を求めて被検査電圧入力手段へ出力する電圧差検出手段とを備えることを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体検査装置。

【請求項 7】 前記期待値電圧発生手段は、階調期待値電圧の理想値入力データを記憶する理想値入力データ記憶手段と、階調期待値電圧の補正をするための補正值入力データを記憶する補正值入力データ記憶手段と、理想値入力データと補正值入力データとを加算して期待値電圧データを出力する加算器と、期待値電圧データに基づいて階調期待値電圧を生成して電圧差検出手段に入力する期待値電圧出力手段とを備えることを特徴とする請求項 6 記載の半導体検査装置。

【請求項 8】 前記比較電圧生成手段及び期待値電圧出力手段は、各々デジタルアナログ変換器を備え、期待値電圧出力手段におけるデジタルアナログ変換器の分解能は比較電圧生成手段におけるデジタルアナログ変換器の分解能より精度が高くしてあることを特徴とする請求項 7 記載の半導体検査装置。

【請求項 9】 前記電圧差検出手段の出力を増幅して被検査電圧入力手段へ入力する増幅手段を備えることを特徴とする請求項 6 乃至 8 のいずれかに記載の半導体検査装置。

【請求項 10】 前記増幅手段と被検査電圧入力手段との間に、共通端子は被検査電圧入力手段へ、独立第 1 端子は増幅手段の出力端子へ、独立第 2 端子は固定電位端子へ各々接続される第 1 補正用切替スイッチを備え、

該第 1 補正用切替スイッチは、前記階調出力電圧を検査する時は被検査電圧入力手段と増幅手段とを接続し、前記比較電圧を補正するために個別比較電圧生成用データを設定補正する時は被検査電圧入力手段と固定電位端子とを接続する構成としてあることを特徴とする請求項 9 記載の半導体検査装置。

【請求項 11】 前記半導体集積回路と電圧差検出手段との間に、共通端子は電圧差検出手段へ、独立第 1 端子は半導体集積回路の出力端子へ、独立第 2 端子は高精度電圧発生手段へ各々接続される第 2 補正用切替スイッチを備え、

該第 2 補正用切替スイッチは、前記階調出力電圧を検査する時は電圧差検出手

段と半導体集積回路とを接続し、前記期待値電圧発生手段を補正する時は電圧差検出手段と高精度電圧発生手段とを接続する構成としてあることを特徴とする請求項 9 又は 1 0 記載の半導体検査装置。

【請求項 1 2】 前記半導体検査装置をモジュールとしたことを特徴とする請求項 1 乃至 1 1 のいずれかに記載の半導体検査装置。

【請求項 1 3】 前記半導体検査装置は、前記半導体集積回路を駆動するための集積回路駆動部を備えることを特徴とする請求項 1 乃至 1 2 のいずれかに記載の半導体検査装置。

【請求項 1 4】 前記半導体集積回路は液晶駆動用半導体集積回路であることを特徴とする請求項 1 乃至 1 3 のいずれかに記載の半導体検査装置。

【請求項 1 5】 各出力端子から階調出力電圧を出力する半導体集積回路の階調出力電圧特性を検査するために出力端子毎に、階調出力電圧と階調出力電圧の理想値に対応する階調期待値電圧との差に基づく被検査電圧を出力電圧検査手段に入力し、出力電圧検査手段により被検査電圧と比較電圧とを比較して階調出力電圧の検査を行う半導体検査方法において、

前記比較電圧は、各出力電圧検査手段が備えるデジタルアナログ変換器に固有の誤差を補正するために出力電圧検査手段毎に補正されることを特徴とする半導体検査方法。

【請求項 1 6】 前記階調期待値電圧は、階調期待値電圧を発生する期待値電圧発生手段が備えるデジタルアナログ変換器に固有の誤差を補正するために補正されることを特徴とする請求項 1 5 記載の半導体検査方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体検査装置及び半導体検査方法に関し、詳しくは、例えば液晶表示パネルを駆動するために多段階の電圧（階調出力電圧）を出力するように構成された多数の出力端子を有する半導体集積回路の階調出力電圧の検査を高精度化した半導体検査装置及び半導体検査方法に関する。

【0 0 0 2】

## 【従来の技術】

液晶表示パネル（T F T液晶表示パネル）の駆動方式には、液晶駆動電圧の極性切換によってドット反転とライン反転の2種がある。ここで、液晶駆動用半導体集積回路（以下液晶駆動装置という）から出力される液晶駆動電圧に着目すると、最大電圧5 V、1 3 Vなどを表示階調度に応じて多段階の所定電圧に分圧したD A変換電圧として出力する。例えば2 5 6階調表示の場合、ドット反転方式では5 1 2段階の駆動電圧が出力され、ライン反転方式では2 5 6段階の駆動電圧が出力される。

## 【0 0 0 3】

現行の液晶駆動装置は、例えばR G Bの3系統を1 2 8ドットずつ駆動するように1パッケージ3 8 4ピンとして構成される。例えば縦1 0 2 4ドット×横1 2 8 0ドットのS X G A規格の液晶表示パネルを液晶駆動装置により駆動する場合には、このような1パッケージ3 8 4ピンの液晶駆動装置を1 0個用いることになる。ところでこのような液晶駆動装置の出荷にあたっては、全数テストを行って所定の仕様を満たさないものを選別除去している。

## 【0 0 0 4】

図1 7は一般的な液晶駆動装置の概略を示すブロック図である。階調表示用入力データR G B（各6ビット以上／1出力）を順次サンプリングして、1水平期間に相当する階調表示用入力データ数を取り込みホールドメモリにラッチし、その後、レベルシフタを介してD Aコンバータ（デジタルアナログ変換器、以下D A Cともいう）へ入力する。D A Cでは各出力毎に基準電圧発生回路（ラダー抵抗）にて生成した階調レベルを選択して、各々の出力毎に有している出力オペアンプを介して、出力端子から各階調レベル（階調出力電圧）を出力する。

## 【0 0 0 5】

図1 8は基準電圧発生回路の概略を示す回路図である。上述の基準電圧発生回路は、一般的には直流電圧V d cに接続したラダー抵抗を抵抗分割（R 1～R n）することで各抵抗接続点から出力する電圧（V 0～V n）により各階調毎の所望の階調レベルを生成する。上述の入力データ（ビット数）により、6ビットD A Cの場合では6 4階調表示、8ビットD A Cの場合は2 5 6階調、1 0ビット

DACの場合では1024階調の表示が可能となる。液晶駆動装置の多階調化に伴い、この品質を確保するための液晶駆動装置のテスト（検査、試験）は、高精度電圧の測定が不可欠となる。

#### 【0006】

つまり、DACから出力される各々の階調出力電圧値がすべて正しい電圧値を出力しているかどうか、また各DAC間において、出力される階調出力電圧値が各々互いに均一であるかどうか等をテストする必要がある。また、テストの対象である被テストデバイス（Device Under Test。以下DUTという）の電源電圧が同一の場合に、出力端子の性能を64階調から256階調に向上すると、測定精度は4倍高精度化する必要がある。

#### 【0007】

テストの対象となるDUTとして、液晶表示パネルを駆動するためにn通りの電圧レベルを選択して出力するn階調DACが内蔵され、液晶駆動用出力端子数がM個の液晶駆動装置（液晶駆動用LSI）を例に半導体検査装置、半導体検査システム、半導体検査方法等について説明する。

#### 【0008】

図19及び図20は従来の半導体検査システムの概略を示すブロック図である。この従来技術は例えば、特開2001-99899号公報に開示されている。図19における従来の半導体検査システムは、DUT181の試験を行う半導体試験装置（半導体テスタ）182で構成されている。半導体試験装置182はDUT181に所定の入力信号を入力し（不図示）、DUT181に内蔵されたDAC183により適宜変換され出力端子Y1乃至YMから出力される信号の良否を試験（判定）する。この半導体検査システムでは、半導体試験装置182を用いて所定の入力信号をDUT181（液晶駆動装置）へ供給し、1階調目のレベルから順次n階調目のレベルまでの信号を出力させる。この出力を半導体試験装置182に内蔵されているマトリックススイッチ184（ch1～chM）により切り替えてアナログ電圧測定器185に入力する。アナログ電圧測定器185により、1出力ずつ（出力端子Y1～YM）順次1階調目の階調出力電圧値を測定し、その測定結果を逐次、半導体試験装置182に内蔵されているデータメモ



り 1 8 6 に格納する。この操作を  $n$  階調分繰り返し、最終的には全出力・全階調分のデータをデータメモリ 1 8 6 に格納する。この結果、出力数  $m$  (出力端子  $M$  個)  $\times n$  ( $n$  階調) のデータがデータメモリ 1 8 6 に格納されることになる。

#### 【0009】

データメモリ 1 8 6 に格納されたデータを、半導体試験装置 1 8 2 に内蔵されている演算装置 1 8 7 を用いて所定の演算を行ない、各出力端子における各階調出力電圧値や各出力端子間の階調出力電圧値の均一性の試験を行う。このような液晶駆動装置 (DUT 1 8 1) の試験において、液晶駆動装置の多出力化・多階調化が進むにつれ、階調出力電圧値をより高精度に測定する必要性が生じており、テスト時間の増加と、高精度なアナログ電圧測定器 (1 8 5) を搭載する高価な半導体試験装置 (1 8 2) が必要となる。

#### 【0010】

図 2 0 における従来の半導体検査システムでは各階調毎の期待値電圧 (階調期待値電圧) と液晶駆動装置の各出力端子 ( $Y1 \sim YM$ ) より出力される出力電圧との差電圧を取り、この差電圧を比較部 1 9 6 を用いて平行に判定する。なお、階調期待値電圧 (以下期待値電圧ともいう) とは各階調に対応して設計上発生することが期待されている電圧をいう。図 2 0 における従来の半導体検査システムは、DUT 1 9 1 と半導体試験装置 1 9 2 と、期待値電圧発生手段 6 0 と、差動増幅器アレイモジュール 1 9 3 とで構成されている。DUT 1 9 1 には DAC 1 9 4 が内蔵されている。差動増幅器アレイモジュール 1 9 3 は差動増幅器 1 9 5 により構成される。半導体試験装置 1 9 2 には比較部 1 9 6 が内蔵されている。DUT 1 9 1 と半導体試験装置 1 9 2 の動作は図 1 9 で説明した DUT 1 8 1 と半導体試験装置 1 8 2 の動作と同様である。期待値電圧発生手段 6 0 は、DUT 1 9 1 が出力すべき階調期待値電圧、即ち、理想出力電圧 (期待値電圧) を発生する。差動増幅器アレイモジュール 1 9 3 の各差動増幅器 1 9 5 には、期待値電圧発生手段 6 0 からの出力と DUT 1 9 1 の出力端子 ( $Y1 \sim YM$ ) からの出力が入力される。差動増幅器アレイモジュール 1 9 3 (各差動増幅器 1 9 5) は期待値電圧発生手段 6 0 の出力と DUT 1 9 1 の出力端子 ( $Y1 \sim YM$ ) の出力との差電圧を増幅して半導体試験装置 1 9 2 に入力 ( $ch1 \sim chM$ ) する。

## 【 0 0 1 1 】

試験の対象となる D U T 1 9 1 は、例えば、液晶駆動用出力端子数が M 個であり、各出力端子に n 通りの電圧レベルを選択して出力するための n 階調 D A C 1 9 4 を内蔵する液晶駆動装置（液晶駆動装置用 L S I）である。半導体試験装置 1 9 2 から D U T 1 9 1 に入力信号（不図示）を与えて M 個の出力からは所定の階調出力電圧を発生させるように D U T 1 9 1 を動作させる。M 個の出力端子から出力された階調出力電圧を、差動増幅器アレイモジュール 1 9 3 に搭載される差動増幅器 1 9 5 の一方の入力端子に各々同時に入力する。一方、階調出力電圧の期待値電圧である電圧が期待値電圧発生手段 6 0 から出力され、差動増幅器 1 9 5 の他方の入力端子に入力する。差動増幅器アレイモジュール 1 9 3 は D U T 1 9 1 が出力した M 個の階調出力電圧と期待値電圧発生手段 6 0 が発生した期待値電圧の差電圧、即ち期待値電圧とのズレ量を求める。

## 【 0 0 1 2 】

差電圧の比較判定を高精度で行うため、まず差電圧は差動増幅器アレイモジュール 1 9 3 に備えられた増幅手段（不図示、図 2 1 の増幅器 8 参照）で増幅される。M 個（Y 1 ～ Y M）の増幅された電圧は差動増幅器アレイモジュール 1 9 3 の出力端子より出力され、半導体試験装置 1 9 2 のテストチャンネル（c h 1 ～ c h M）に入力される。

## 【 0 0 1 3 】

半導体試験装置 1 9 2 には、電圧測定手段として 2 つの手段がある。即ち、高精度に D C 電圧レベルを測定するための D C 測定ユニット（不図示）と上述のテストチャンネルに備えられた比較部 1 9 6 である。比較部 1 9 6 は、主に機能動作テストを行う為のものであるのでその電圧測定精度は D C 測定ユニットに比べ低く、通常は、上述のような高精度電圧測定および比較判定をおこなうことはできない。しかし、上述のように増幅手段で差電圧を増幅する手法を施している為、比較部 1 9 6 での比較判定が可能となる。このように差動増幅器アレイモジュール 1 9 3 を用いて測定を行うことで従来と同等もしくはそれ以上の測定精度でのテストを実現している。

## 【 0 0 1 4 】

図 2 1 は図 2 0 と同様の従来の半導体検査システムを説明する説明図である。  
 図 2 1 における DUT、減算器 6・増幅器 8、期待値電圧発生手段 6 0、半導体試験装置 1 5 は、図 2 0 における DUT 1 9 1、差動増幅器 1 9 5（差動増幅器アレイモジュール 1 9 3）、期待値電圧発生手段 6 0、半導体試験装置 1 9 2 に各々対応する。デジタル比較部 1 1 はデジタル比較部 1 9 6 に対応する。半導体試験装置 1 5 はさらにテスト制御手段 4 0、周辺ブロック部 1 2 を備える。テスト制御手段 4 0 は、デジタル比較部 1 1 からの信号（D 1 ～ D M）に基づいて必要な処理を行う。

## 【 0 0 1 5 】

図 2 0、図 2 1 によるテストにおいては、各階調毎の期待値電圧を期待値電圧発生手段 6 0 から出力させる際、 $\gamma$  特性仕様などであらかじめ設定された期待値電圧をプログラムを用いて演算し、この演算結果で得られたデータを期待値電圧発生手段 6 0 に転送して、順次、期待値電圧を出力している。

## 【 0 0 1 6 】

図 2 2 は図 2 0 及び図 2 1 の従来の半導体検査システムにおける期待値電圧発生手段の概略回路ブロックを示すブロック図である。なお、期待値電圧発生手段 6 0 は、図 2 0 において期待値電圧発生手段 6 0、図 2 1 において期待値電圧発生手段 6 0 として記載している。期待値電圧発生手段 6 0 において、半導体試験装置 1 9 2 又は半導体試験装置 1 5 から転送されたデータは制御手段 6 5 に入力され、一時記憶が必要なデータは記憶手段 6 6 に記憶される。各データは D A C 6 1 を介して、該データに応じた期待値電圧に変換され、差動増幅器アレイモジュール 1 9 3 又は減算器 6 へ期待値電圧（6 1 a）として出力される。

## 【 0 0 1 7 】

図 2 3 は階調出力電圧の状況を示す波形図である。つまり、期待値電圧発生手段 6 0 から出力され、差動増幅器アレイモジュール 1 9 3（差動増幅器 1 9 5）又は減算器 6 へ入力される階調期待値電圧波形 a と、液晶駆動装置である DUT（1 9 1）から出力される階調出力電圧波形 b を示している。液晶駆動装置から出力される階調出力電圧は期待値電圧に対して、例えば、ずれ電圧  $\Delta V 1$ 、 $\Delta V 2$ 、 $\Delta V 3$  を有する。液晶駆動装置（DUT）のテストにおいては、これらずれ

電圧 $\Delta V$ が規定された電圧範囲に入っているかどうか、また各出力間においてこれらのずれ電圧 $\Delta V_i$  ( $i = 1 \sim n$ ) が均一性を有しているかどうかをテストする。

#### 【0018】

図24は従来の半導体試験装置における出力電圧検出手段の概略回路ブロックを示すブロック図である。出力電圧検出手段50は、図20における半導体検査装置192の比較部196に含まれるものであり、いわゆるデジタル判定を行うものである。出力電圧検出手段50は、液晶駆動装置(DUT)の出力端子(不図示)から出力される被測定電圧を入力する測定電圧入力手段51、被測定電圧をハイレベル基準値と比較するためのハイレベル比較手段であるハイレベル比較器52、被測定電圧をローレベル基準値と比較するためのローレベル比較手段であるローレベル比較器53、ハイレベル比較器52へハイレベル比較電圧 $V_{OH}$ を入力する為の $V_{OH}$ 入力手段54、ローレベル比較器53へローレベル比較電圧 $V_{OL}$ を入力する為の $V_{OL}$ 入力手段55、ハイレベル比較器52とローレベル比較器53における比較結果を各々ハイレベル比較結果出力データDMH、ローレベル比較結果出力データDMLとして出力する比較結果出力手段56により構成されている。ハイレベル比較器52、ローレベル比較器53は各々比較器により構成される。

#### 【0019】

出力電圧検出手段50の外部に構成されたテスト制御手段40からハイレベル比較電圧 $V_{OH}$ に対応するハイレベル比較電圧生成用データIVHがデジタルデータとしてDAC106へ入力され、DAC106によりアナログ電圧であるハイレベル比較電圧 $V_{OH}$ に変換され、ハイレベル比較電圧 $V_{OH}$ が $V_{OH}$ 入力手段54に入力される。同様にテスト制御手段40からローレベル比較電圧 $V_{OL}$ に対応するローレベル比較電圧生成用データIVLがデジタルデータとしてDAC107へ入力され、DAC107によりアナログ電圧であるローレベル比較電圧 $V_{OL}$ に変換され、ローレベル比較電圧 $V_{OL}$ が $V_{OL}$ 入力手段55に入力される。テスト制御手段40にDUTの出力端子数に応じた数、例えば、200チャンネル乃至500チャンネル程度(図ではchMとして1チャンネルのみ示す

）の出力電圧検出手段 5 0 が備えられている。

【 0 0 2 0 】

【発明が解決しようとする課題】

しかし、図 2 4 で示すような従来の出力電圧検出手段 5 0 の構成によれば、液晶駆動装置（DUT）の階調出力電圧の測定にあたり、階調出力電圧の判定は半導体試験装置に備えられた比較手段（比較器）の比較結果出力データをデジタル信号処理して行っているため、電圧測定精度は依然として比較器の精度に依存している。測定・判定精度を向上するには比較器を高価な高精度（例えば 1 mV 以内）の比較器に置き換えればよいが、半導体試験装置には液晶駆動装置（DUT）の出力端子数に比例して比較器を備えていることから、半導体試験装置自体がきわめて高価になってしまうという問題がある。

【 0 0 2 1 】

例えば、384 出力端子構造で 64 階調（色階調 6 ビット）の液晶駆動装置の場合には、比較器の電圧測定精度は 20 mV 乃至 10 mV 程度（例えば、3 ～ 5 V を 64 階調で除算し、それに対し 4 分の 1 程度の値のマージンを考慮した場合）で良いが、384 出力端子構造で 256 階調（色階調 8 ビット）の場合には比較器の電圧測定精度は 5.0 mV 乃至 2.5 mV 程度（例えば、3 ～ 5 V を 256 階調で除算し、それに対し 4 分の 1 の値のマージンを考慮した場合）が必要である。これは液晶表示パネルの表示品位を保つため、液晶駆動装置の階調出力における出力端子間ばらつきを、1 階調あたりの電圧の約 4 分の 1 程度の電圧以内に抑制する必要があることによる。

【 0 0 2 2 】

即ち、電源電圧が 5 V の場合、64 階調仕様の液晶駆動装置では隣接階調間の電圧は  $\gamma$  補正に依存するものの約 80 mV となり、出力端子間当りのバラツキとして約 20 mV 程度以下を保証する必要がある。従って、比較器の電圧測定精度は次のようになる。例えば、図 20 の半導体検査システムにおいて、階調出力電圧と期待値電圧の差電圧を差動増幅器 193 により 10 倍に増幅する場合、差電圧が 20 mV（バラツキ保証電圧に相当）であれば、増幅後は 200 mV となる。この 200 mV の十分の 1 の 20 mV を正確に測定できる精度があれば、バラ

ツキ保証電圧を確実に保証することが可能となる。つまり、増幅後の電圧 2 0 0 mV の十分の 1 である 2 0 mV を正確に測定できる精度が必要である。この測定精度は、現在主流のテストに用いられている比較器の仕様と一致する。

## 【 0 0 2 3 】

尚、期待値電圧発生手段（6 0。図 2 2 参照）に備えられた DAC 6 1 は、2 mV 以上の分解能を有するデジタルアナログ変換器を使用しているが、この分解能とは別に数 mV のオフセット誤差や 0.01% 程度のゲイン誤差があることから、2 5 6 階調、5 1 2 階調、さらには、それ以上の階調に対応する液晶駆動装置の階調出力電圧を試験する高精度測定は、上述の誤差に起因してできないという問題があった。

## 【 0 0 2 4 】

2 5 6 階調仕様の液晶駆動装置では、上述と同様の考え方から、5 mV の測定精度が必要である。また、5 1 2 階調の液晶駆動装置の場合、2.5 mV 程度の測定精度が必要である。つまり、2 5 6 階調を越える仕様の液晶駆動装置においては、従来のテスト手法では電圧測定精度が不十分となり、歩留まり低下、出荷品質劣化などの問題がある。

## 【 0 0 2 5 】

また、高精度かつ数十 MHz の応答速度を有する特殊な比較器を新たに導入することは、特注部品となり、部品のコストが高くなり好ましくない。液晶表示パネルに対する高画質の要望に対応して表示パネルの画素数が増加する傾向にあり、液晶駆動装置 1 個当りの出力端子数は年々増大傾向にあるため、むしろ比較器 1 個あたりのコストを低減する対応が望まれている状況にあり、テストの価格を高騰化させる特殊な比較器を用いるという対応は好ましくない。また、特殊な比較器は特殊部品であるため入手が困難となり、修繕などで緊急を要する場合にも問題がある。

## 【 0 0 2 6 】

本発明は斯かる事情に鑑みなされたものであり、その目的は、多数の出力端子を有し多階調の階調出力電圧を出力する半導体集積回路（例えば液晶駆動用半導体集積回路）の合否判定測定テストが、安価な装置構成で高精度に行える半導体

検査装置及び半導体検査方法を提供することにある。

【0027】

【課題を解決するための手段】

本発明に係る半導体検査装置は、複数の出力端子の各々から階調出力電圧を出力する半導体集積回路の階調出力電圧特性を検査するために各出力端子に対応して出力電圧検査手段を備える半導体検査装置において、前記出力電圧検査手段は、階調出力電圧から得られる被検査電圧を入力する被検査電圧入力手段と、被検査電圧と比較すべき比較電圧を比較電圧生成用データ入力手段から入力される比較電圧生成用データに基づいて生成する比較電圧生成手段と、被検査電圧と比較電圧とを比較する比較手段とを備え、前記比較電圧生成用データは、他の出力電圧検査手段と共通に与えられる共通比較電圧生成用データ及び各比較手段が有する固有の誤差を補正するために個別に与えられる個別比較電圧生成用データを加算して生成される構成としてあることを特徴とする。

【0028】

本発明に係る半導体検査装置においては、前記比較電圧生成用データ入力手段は、共通比較電圧生成用データを入力する共通比較電圧生成用データ入力手段と、個別比較電圧生成用データを入力する個別比較電圧生成用データ入力手段と、共通比較電圧生成用データ及び個別比較電圧生成用データを加算する加算器とを備え、該加算器における加算結果を前記比較電圧生成用データとして比較電圧生成手段へ入力する構成としてあることを特徴とする。

【0029】

本発明に係る半導体検査装置においては、前記比較手段は、被検査電圧が比較電圧の上限許容範囲か否かを比較検出するハイレベル比較器及び被検査電圧が比較電圧の下限許容範囲か否かを比較検出するローレベル比較器を備え、ハイレベル比較器及びローレベル比較器各々に対応して比較電圧生成用データ入力手段及び比較電圧生成手段を備えることを特徴とする。

【0030】

本発明に係る半導体検査装置においては、前記個別比較電圧生成用データを設定記憶し、個別比較電圧生成用データを比較電圧生成用データ入力手段へ出力す

る補正データ生成手段を備えることを特徴とする。

【 0 0 3 1 】

本発明に係る半導体検査装置においては、前記補正データ生成手段は出力電圧検査手段毎に個別に設けられることを特徴とする。

【 0 0 3 2 】

本発明に係る半導体検査装置においては、前記階調出力電圧に対応する階調期待値電圧を出力する期待値電圧発生手段と、階調出力電圧と階調期待値電圧との差を求めて被検査電圧入力手段へ出力する電圧差検出手段とを備えることを特徴とする。

【 0 0 3 3 】

本発明に係る半導体検査装置においては、前記期待値電圧発生手段は、階調期待値電圧の理想値入力データを記憶する理想値入力データ記憶手段と、階調期待値電圧の補正をするための補正值入力データを記憶する補正值入力データ記憶手段と、理想値入力データと補正值入力データとを加算して期待値電圧データを出力する加算器と、期待値電圧データに基づいて階調期待値電圧を生成して電圧差検出手段に入力する期待値電圧出力手段とを備えることを特徴とする。

【 0 0 3 4 】

本発明に係る半導体検査装置においては、前記比較電圧生成手段及び期待値電圧出力手段は、各々デジタルアナログ変換器を備え、期待値電圧出力手段におけるデジタルアナログ変換器の分解能は比較電圧生成手段におけるデジタルアナログ変換器の分解能より精度が高くしてあることを特徴とする。

【 0 0 3 5 】

本発明に係る半導体検査装置においては、前記電圧差検出手段の出力を増幅して被検査電圧入力手段へ入力する増幅手段を備えることを特徴とする。

【 0 0 3 6 】

本発明に係る半導体検査装置においては、前記増幅手段と被検査電圧入力手段との間に、共通端子は被検査電圧入力手段へ、独立第 1 端子は増幅手段の出力端子へ、独立第 2 端子は固定電位端子へ各々接続される第 1 補正用切替スイッチを備え、該第 1 補正用切替スイッチは、前記階調出力電圧を検査する時は被検査電



圧入力手段と増幅手段とを接続し、前記比較電圧を補正するために個別比較電圧生成用データを設定補正する時は被検査電圧入力手段と固定電位端子とを接続する構成としてあることを特徴とする。

## 【 0 0 3 7 】

本発明に係る半導体検査装置においては、前記半導体集積回路と電圧差検出手段との間に、共通端子は電圧差検出手段へ、独立第 1 端子は半導体集積回路の出力端子へ、独立第 2 端子は高精度電圧発生手段へ各々接続される第 2 補正用切替スイッチを備え、該第 2 補正用切替スイッチは、前記階調出力電圧を検査する時は電圧差検出手段と半導体集積回路とを接続し、前記期待値電圧発生手段を補正する時は電圧差検出手段と高精度電圧発生手段とを接続する構成としてあることを特徴とする。

## 【 0 0 3 8 】

本発明に係る半導体検査装置においては、前記半導体検査装置をモジュールとしたことを特徴とする。

## 【 0 0 3 9 】

本発明に係る半導体検査装置においては、前記半導体検査装置は、前記半導体集積回路を駆動するための集積回路駆動部を備えることを特徴とする。

## 【 0 0 4 0 】

本発明に係る半導体検査装置においては、前記半導体集積回路は液晶駆動用半導体集積回路であることを特徴とする。

## 【 0 0 4 1 】

本発明に係る半導体検査方法は、各出力端子から階調出力電圧を出力する半導体集積回路の階調出力電圧特性を検査するために出力端子毎に、階調出力電圧と階調出力電圧の理想値に対応する階調期待値電圧との差に基づく被検査電圧を出力電圧検査手段に入力し、出力電圧検査手段により被検査電圧と比較電圧とを比較して階調出力電圧の検査を行う半導体検査方法において、前記比較電圧は、各出力電圧検査手段が備えるデジタルアナログ変換器に固有の誤差を補正するために出力電圧検査手段毎に補正されることを特徴とする。

## 【 0 0 4 2 】

本発明に係る半導体検査方法においては、前記階調期待値電圧は、階調期待値電圧を発生する期待値電圧発生手段が備えるデジタルアナログ変換器に固有の誤差を補正するために補正されることを特徴とする。

#### 【 0 0 4 3 】

本発明においては、被検査電圧（例えば多階調出力電圧と期待値電圧との差電圧）と比較すべき比較電圧（例えば多階調出力電圧の許容範囲を定めた基準電圧）を比較電圧生成用データ入力手段から入力される比較電圧生成用データに基づいて生成する比較電圧生成手段と、被検査電圧と比較電圧とを比較する比較手段とを備え、比較電圧生成用データは、他の出力電圧検査手段と共通に与えられる共通比較電圧生成用データ及び各比較手段が有する固有の誤差を補正するために個別に与えられる個別比較電圧生成用データを加算して生成される構成としたので、各比較手段が有する固有の誤差を個別に補正することができるので、高精度の半導体検査装置（半導体試験装置）及び半導体検査方法（半導体試験方法）を安価に提供することが可能となる。

#### 【 0 0 4 4 】

本発明においては、期待値電圧発生手段は、階調期待値電圧の理想値入力データを記憶する理想値入力データ記憶手段と、階調期待値電圧の補正をするための補正值入力データを記憶する補正值入力データ記憶手段とを備えることとしたので、期待値電圧発生手段が有する誤差を補正することができるので、高精度の半導体検査装置（半導体試験装置）及び半導体検査方法（半導体試験方法）を安価に提供することが可能となる。

#### 【 0 0 4 5 】

##### 【発明の実施の形態】

以下、図面を用いて本発明の実施の形態を説明する。

##### <実施の形態 1>

図 1 は本発明に係る半導体検査装置の要部回路ブロックを示すブロック図である。従来技術（図 2 4 参照）と同じブロック等は同一の番号を付して重複する説明は省略する。図において、100 は半導体検査装置を示し、出力電圧検査手段 50、比較電圧生成用データ入力手段 101、102 を備える。出力電圧検査手

段 5 0 は、被検査電圧入力手段 5 1、DAC 1 0 6、DAC 1 0 7、ハイレベル比較器 5 2（以下単に比較器 5 2 と表すこともある）、ローレベル比較器 5 3（以下単に比較器 5 3 と表すこともある）、比較結果出力手段 5 6 を備える。ハイレベル比較器 5 2、ローレベル比較器 5 3 は、被検査電圧と比較電圧とを比較する比較手段を構成する。

#### 【 0 0 4 6 】

図示しない被検査半導体装置（以下 DUT）の出力端子から出力される階調出力電圧から得られる被検査電圧が被検査電圧入力手段 5 1 の入力端子（例としてテストチャンネル c h M で示す）へ入力される。被検査電圧は、図 2 0、図 2 1 において示したように、階調出力電圧と期待値電圧との差電圧として求められる。被検査電圧は、被検査電圧入力手段 5 1 からハイレベル比較手段であるハイレベル比較器 5 2 の－入力端子とローレベル比較手段であるローレベル比較器 5 3 の＋入力端子に入力される。

#### 【 0 0 4 7 】

ハイレベル比較器 5 2 の＋入力端子には比較電圧生成手段を構成する DAC 1 0 6 より発生したハイレベル比較電圧  $V_{OHS}$  が入力され、比較対象となる被検査電圧とハイレベル比較電圧  $V_{OHS}$  が比較されて、比較結果は比較結果出力手段 5 6 よりハイレベル比較結果出力データ DMH として補正データ生成手段 2 1 0 へ出力される。ローレベル比較器 5 3 の－入力端子には比較電圧生成手段を構成する DAC 1 0 7 より発生したローレベル比較電圧  $V_{OLS}$  が入力され、比較対象となる被検査電圧とローレベル比較電圧  $V_{OLS}$  が比較されて、比較結果は比較結果出力手段 5 6 よりローレベル比較結果出力データ DML として補正データ生成手段 2 1 0 へ出力される。なお、ハイレベル比較器 5 2 とローレベル比較器 5 3 を備えた構成としているが、何れか一方だけであっても半導体検査装置 1 0 0 における出力電圧検出手段 5 0 として機能する。ハイレベル比較器 5 2 は、例えば被検査電圧が比較電圧の上限許容範囲か否かを比較検出し、ローレベル比較器 5 3 は、例えば被検査電圧が比較電圧の下限許容範囲か否かを比較検出する。また、補正データ生成手段 2 1 0 は各出力電圧検査手段 5 0 又は半導体検査装置 1 0 0 に対応させて個別に設けることにより、例えばいずれかのテストチャン

ネルに対応する出力電圧検査手段 5 0 が故障して取替えが必要になった場合等に、当該テストチャンネルに対応する出力電圧検査手段 5 0 及び補正データ生成手段 2 1 0 を取り替えるだけでよく、半導体検査装置 1 0 0 の修理が容易になり、メンテナンスコストを低減できる。

## 【 0 0 4 8 】

ハイ側比較の場合、DAC 1 0 6 への入力データ（比較電圧生成用データ）は、共通比較電圧生成用データ入力手段 1 0 1 b へ入力されるハイレベル共通比較電圧生成用データ I V H b と個別比較電圧生成用データ入力手段 1 0 1 c へ入力されるハイレベル個別比較電圧生成用データ I V H c とを加算器 1 0 1 a において加算して生成される。ハイレベル共通比較電圧生成用データ I V H b は、半導体検査装置 1 0 0 を制御するテスト制御手段 4 0 から、例示している c h M 以外の他の出力電圧検出手段（5 0）における比較器（5 2）と共通するデータとして共通比較電圧生成用データ入力手段 1 0 1 b へ入力される。また、ハイレベル個別比較電圧生成用データ I V H c は、各比較器（5 2）個々の固有の誤差を補正する為のデータとして補正データ生成手段 2 1 0 において各比較器（5 2）が有する誤差に対応して生成され、個別比較電圧生成用データ入力手段 1 0 1 c へ入力される。共通比較電圧生成用データ入力手段 1 0 1 b、個別比較電圧生成用データ入力手段 1 0 1 c、加算器 1 0 1 a は比較電圧生成用データ入力手段 1 0 1 を構成する。ハイレベル共通比較電圧生成用データ I V H b は c h M 以外の他の出力電圧検出手段（5 0）における比較器（5 2）と共通して入力されるデータであるが、ハイレベル個別比較電圧生成用データ I V H c は各比較器（5 2）に固有の値として入力されることから各比較器（5 2）の誤差を補正して高精度な電圧測定を可能としている。

## 【 0 0 4 9 】

ロー側比較の場合も同様であり、DAC 1 0 7 への入力データ（比較電圧生成用データ）は、共通比較電圧生成用データ入力手段 1 0 2 b へ入力されるローレベル共通比較電圧生成用データ I V L b と個別比較電圧生成用データ入力手段 1 0 2 c へ入力されるローレベル個別比較電圧生成用データ I V L c とを加算器 1 0 2 a において加算して生成される。ローレベル共通比較電圧生成用データ I V

L b は、テスタ制御手段 4 0 から、例示している c h M 以外の他の出力電圧検出手段 ( 5 0 ) における比較器 ( 5 3 ) と共通するデータとして共通比較電圧生成用データ入力手段 1 0 2 b へ入力される。また、ローレベル個別比較電圧生成用データ I V L c は、各比較器 ( 5 3 ) 個々の固有の誤差を補正する為のデータとして補正データ生成手段 2 1 0 において各比較器 ( 5 3 ) が有する誤差に対応して生成され、個別比較電圧生成用データ入力手段 1 0 2 c へ入力される。共通比較電圧生成用データ入力手段 1 0 2 b、個別比較電圧生成用データ入力手段 1 0 2 c、加算器 1 0 2 a は比較電圧生成用データ入力手段 1 0 2 を構成する。ローレベル共通比較電圧生成用データ I V L b は c h M 以外の他の出力電圧検出手段 ( 5 0 ) における比較器 ( 5 3 ) と共通して入力されるデータであるが、ローレベル個別比較電圧生成用データ I V L c は各比較器 ( 5 3 ) に固有の値として入力されることから各比較器 ( 5 3 ) の誤差を補正して高精度な電圧測定を可能としている。

#### 【 0 0 5 0 】

なお、補正用データである個別比較電圧生成用データ I V H c、I V L c は正の場合と、負の場合がある。また比較対象となる被検査電圧は D U T の各出力端子毎の電圧でもよく、また D U T の所定の出力端子を適宜切り換えて選択された電圧であっても良い。また、半導体検査装置 1 0 0 と補正データ生成手段 2 1 0 とを各テスタチャンネル毎に 1 つのユニットにすることにより、ハイレベル個別比較電圧生成用データ I V H c 及びローレベル個別比較電圧生成用データ I V L c の帰還ループを短縮できるのでノイズによる影響を低減でき、さらに、半導体検査装置 1 0 0 等の故障時においてユニット交換による修理が可能となりメンテナンスが容易になる。

#### 【 0 0 5 1 】

#### < 実施の形態 2 >

図 2 は図 1 の半導体検査装置の要部回路ブロックを複数備えた半導体検査装置の要部を示すブロック図である。半導体検査装置 2 0 0 は図 1 において述べた半導体検査装置 1 0 0 を複数備えたものであり、重複する部分については説明を省略する。D U T の出力に対応する入力端子としてテスタチャンネル c h 1 ~ c h

Mを備え、各テストチャンネルに対応して半導体検査装置100が設けてある。半導体検査装置200は、さらに補正データ生成手段210を備え、外部にはテスト制御手段40が接続されている。各半導体検査装置100は比較電圧生成用データ入力手段101、102を備え、比較電圧生成用データ入力手段101にはハイレベル共通比較電圧生成用データIVHbがテスト制御手段40から、ハイレベル個別比較電圧生成用データIVHcが補正データ生成手段210から入力される。比較電圧生成用データ入力手段102にはローレベル共通比較電圧生成用データIVLbがテスト制御手段40から、ローレベル個別比較電圧生成用データIVLcが補正データ生成手段210から入力される。なお、補正データ生成手段210は全テストチャンネル分をまとめてブロックとしているが、上述したとおり各テストチャンネルに応じてユニット化しても良い。

#### 【0052】

図1において述べたとおり、ハイレベル個別比較電圧生成用データIVHc及びローレベル個別比較電圧生成用データIVLcに基づいて各半導体検査装置100（に内蔵する比較器（52、53））の固有の誤差が補正される。各半導体検査装置100はハイレベル比較結果出力データをD1H～DMHとして、ローレベル比較結果出力データをD1L～DMLとして、補正データ生成手段210、テスト制御手段40へ出力する。テスト制御手段40は、比較結果出力データ（ハイレベル比較結果出力データD1H～DMH及びローレベル比較結果出力データD1L～DML）に基づいてDUTの良否判定を行う。

#### 【0053】

図3は補正データ生成手段の概略ブロックを示すブロック図である。補正データ生成手段210は図1、図2においてブロックで示したものである。比較結果入力手段211には、半導体検査装置（100、200）における被検査電圧と比較電圧の比較結果である比較結果出力データ（ハイレベル比較結果出力データD1H～DMH及びローレベル比較結果出力データD1L～DML）が入力される。図においては、テストチャンネルM（chM）の場合（DMH/DML）を示す。ハイレベル比較器52の固有の誤差を補正するための補正データ（個別比較電圧生成用データIVHc）は、ハイレベル比較結果出力データDMH（D1

H～DMH)をもとに生成される。またローレベル比較器53の固有の誤差を補正するための補正データ(個別比較電圧生成用データIVLc)は、ローレベル比較結果出力データDML(D1L～DML)をもとに生成される。

#### 【0054】

ハイレベル比較器52の補正データ(個別比較電圧生成用データIVHc。以下補正データIVHcという)を生成する場合について説明するが、ローレベル比較器53の補正データ(個別比較電圧生成用データIVLc)を生成する場合も同様である。比較結果入力手段211に入力されたデータ(ハイレベル比較結果出力データDMH)は補正データ生成制御手段213に取り込まれる。補正データ生成制御手段213は補正データ生成手段210全体を制御するものである。記憶手段212は制御動作を行わせるプログラムや演算結果等の一時記憶データを記憶するものである。補正データ設定手段216にはハイレベル比較器52へ出力する補正データIVHcが設定されている。補正データIVHcの生成時あるいは補正データIVHc生成後のいずれの場合も、補正データIVHcが補正データ設定手段216に設定されたデータをもとに補正データ出力手段219、比較電圧生成用データ入力手段101等を介してハイレベル比較器52へ出力される。また、検出された最適補正データは補正データ記憶手段215に記憶され、それ以降、補正データ設定手段216には補正データ記憶手段215に記憶された最適補正データが設定される。したがって、補正データ記憶手段215は、半導体検査装置(100、200)の電源が遮断された場合でも記憶された最適補正データを保持することができる不揮発性メモリであることが望ましい。補正データ生成制御手段213にはさらに補正回数カウント手段214が接続され、補正回数の適正化を図る。補正データ生成制御手段213及び補正データ設定手段216にはさらに補正データ加減手段217、補正初期値記憶手段218が接続される。なお、補正方法については後述する(実施の形態7等参照)。

#### 【0055】

#### <実施の形態3>

図4は本発明に係る半導体検査システムの概略ブロックを示すブロック図である。なお、本発明に係る半導体検査装置(図1の半導体検査装置100及び図2

の半導体検査装置 2 0 0) において半導体検査装置との用語を用いることから半導体検査システムと表記するが、半導体検査システムも半導体検査装置として把握できるものであることは言うまでも無い。第 2 半導体検査装置 2 0 0 (図 1 における半導体検査装置 1 0 0、図 2 における半導体検査装置 2 0 0 に相当するものであり、「第 2」半導体検査装置としたのは、後述する「第 1」半導体検査装置 2 0 1 (図 5 参照) と区別するために過ぎない) は、例えば、その部分をモジュールとすることにより、従来の半導体試験装置 (半導体テスタ) 1 5 の入力側外部に配備して、従来の半導体試験装置 1 5 を改変せずにそのまま利用してより高精度の半導体集積回路の検査をすることができる。また、半導体検査装置 (1 0 0、2 0 0、2 0 1) は、半導体集積回路である D U T を駆動するための集積回路駆動部 (不図示) を備える構成とすることにより、より効率的な検査が可能な半導体検査装置、半導体検査システムとすることができる。

## 【 0 0 5 6 】

半導体検査システムはさらに第 2 半導体検査装置 2 0 0 の入力側に減算器 6、増幅器 8、階調期待値電圧を発生する期待値電圧発生手段 6 0 を備える。減算器 6、増幅器 8 は図 2 0 の説明において述べた従来の半導体試験装置 1 5 において用いられるものと同一であり、詳細な説明は省略する。期待値電圧発生手段 6 0 は補正により高精度のものになっている点を除いて、図 2 0 の説明において述べた期待値電圧発生手段 6 0 と同一である。D U T の出力端子 Y 1 ~ Y M からの階調出力電圧は、電圧差検出手段としての減算器 6、増幅手段としての増幅器 8、期待値電圧発生手段 6 0 による所定の処理 (図 2 0、図 2 1 参照) をされ、第 2 半導体検査装置 2 0 0 へ入力され良否判定がなされる。半導体試験装置 1 5 は内部にデジタル比較部 1 1、テスタ制御手段 4 0、周辺ブロック部 1 2 を備える点も図 2 1 の説明において述べたとおりである。なお、第 2 半導体検査装置 2 0 0 から期待値電圧発生手段 6 0 へ信号線 2 0 0 a を介して、ハイレベル比較結果出力データ (D 1 H ~ D M H)、ローレベル比較結果出力データ (D 1 L ~ D M L) を帰還させた場合には、半導体試験装置 1 5 を特に用いる必要がなくなる。

## 【 0 0 5 7 】

デジタル比較部 1 1 は第 2 半導体検査装置 2 0 0 から入力される判定結果 (論



理信号)に基づいてデジタル比較を行い、論理信号(D1~DM)に変換してテスト制御手段40へ入力する。第2半導体検査装置200をモジュールとする場合に、減算器6、増幅器8を含めてモジュール化することが可能である。また、このようなモジュール化によりDUTから比較器(52、53)までの電気長は半導体試験装置15内部の比較器(デジタル比較部11)を用いて検査する場合と比較して短縮できることになり、耐雑音性等を考慮すれば好ましいことは言うまでも無い。半導体検査システムにおいては、第2半導体検査装置200を用いることから、テスト制御手段40から第2半導体検査装置200へ共通比較電圧生成用データIVHb、IVLbが入力される。個別比較電圧生成用データ(IVHc、IVLc)は、第2半導体検査装置200の内部において処理される。

## 【0058】

なお、第2半導体検査装置200に含まれる比較器52、53の電圧測定精度は、デジタル比較部11において用いられる比較器(不図示)と同程度の精度であっても、固有の誤差を補正することにより測定精度を向上できる。一層高精度化を実現するためには、比較器52、53の精度をデジタル比較部11において用いられる比較器より高精度のものとすることが望ましい。

## 【0059】

## &lt;実施の形態4&gt;

図5は本発明に係る半導体検査システムの概略ブロックを示すブロック図である。第2半導体検査装置200をデジタル比較部11と共に半導体試験装置15の内部に組み込んで第1半導体検査装置201としたものであり、第1半導体検査装置201は第2半導体検査装置200の機能とともにデジタル比較部11の機能を併せ持つものである。図4における半導体検査システムと基本構成に差はないので、詳細な説明は省略する。

## 【0060】

## &lt;実施の形態5&gt;

図6は本発明に係る出力電圧検査手段における比較手段の補正方法を説明するブロック図である。基本構成は図4において示した半導体検査システムと同様であり、詳細な説明は省略する。DUTの出力端子Y1~YMから出力される階調

出力電圧は、減算器 6、増幅器 8、期待値電圧発生手段 60 による所定の処理（図 21 参照）をされ、第 2 半導体検査装置 200 へ入力される。半導体試験装置 15 は、デジタル比較部 11、周辺ブロック部 12、テスト制御手段 40 を備え、第 2 半導体検査装置 200 からの信号はデジタル比較部 11 へ入力される。図 4 との違いは、増幅器 8 と第 2 半導体検査装置 200 との間に第 1 補正用切替スイッチ SW1 を備える点である。第 1 補正用切替スイッチ SW1 は、その共通端子 S1c を第 2 半導体検査装置 200 の被検査電圧入力手段（51）へ、独立第 1 端子 S1a を増幅器 8 の出力端子へ、独立第 2 端子 S1b を固定電位端子（接地点）へ各々接続される。DUT の階調出力電圧検査時には共通端子 S1c は独立第 1 端子 S1a へ接続され、比較器（52、53）の 0V 補正時（後述）には共通端子 S1c は独立第 2 端子 S1b へ接続される構成とする。第 1 補正用切替スイッチ SW1 は、第 2 半導体検査装置 200 の近くに配置することにより固定電位端子（接地点）を強固にでき、耐雑音性に優れた試験装置にすることができる。第 1 補正用切替スイッチ SW1 は、減算器 6、増幅器 8、期待値電圧発生手段 60、第 2 半導体検査装置 200 と共にモジュール化することにより、従来の半導体試験装置 15 をそのまま活用でき、極めて簡単に半導体試験システムの高精度化が可能となる。

#### 【0061】

#### <実施の形態 6>

図 7 は本発明に係る期待値電圧発生手段における補正方法を説明するブロック図である。基本構成は図 6 において示した半導体検査システムと同様であり、詳細な説明は省略する。図 6 の構成に、第 2 補正切替用スイッチ SW2 がさらに付加されている点が異なる。第 2 補正切替用スイッチ SW2 は減算器 6 に入力する信号を DUT からの階調出力電圧か、高精度電圧発生手段 13 からの出力かを選択するものである。第 2 補正用切替スイッチ SW2 は、その共通端子 S2c を減算器 6 へ、独立第 1 端子 S2a を DUT の出力端子へ、独立第 2 端子 S2b を高精度電圧発生手段 13 へ各々接続される。DUT の階調出力電圧検査時には共通端子 S2c は独立第 1 端子 S2a へ接続され、期待値電圧発生手段 60 の補正時（後述）には共通端子 S2c は独立第 2 端子 S2b へ接続される構成とする。D

UTの階調出力電圧検査時は、独立第1端子S2aと共通端子S2cが接続され、期待値電圧発生手段60の補正時は共通端子S2cと独立第2端子S2bが接続される。この際、第1補正用切替スイッチSW1は増幅器8と第2半導体検査装置200とを接続している。増幅器8の出力電圧は、高精度電圧発生手段13のアナログ出力(VKS)と期待値電圧発生手段60の出力(VKD)の差電圧を増幅(増幅率を例えば24倍とする)した電圧 $\Delta VK = 24 \times (VKS - VKD)$ のアナログ信号となる。アナログ信号は第2半導体装置200に入力され、第2半導体装置200の比較結果出力データ(D1H~DMH、D1L~DML)の少なくとも1つは信号線200aを介して期待値電圧発生手段60に入力(フィードバック)されている。また、テスト制御手段40から信号線40aを介して期待値電圧発生手段60に入力(フィードバック)する場合は、期待値電圧発生手段60の補正を更に高速にすることができる。高精度電圧発生手段13は、標準器として規格化された標準電圧発生器をトレースした副標準電圧発生器等を用いるので、高精度電圧発生手段13の電圧発生精度は実質的に0と見なすことができる。第2補正切替用スイッチSW2は、減算器6、増幅器8、第1補正用切替スイッチSW1、期待値電圧発生手段60、第2半導体検査装置200と共にモジュール化することにより、従来の半導体試験装置15をそのまま活用でき、極めて簡単に半導体試験システムの高精度化が可能となる。

#### 【0062】

図8、図9は本発明に係る期待値電圧発生手段のブロック構成を示すブロック図である。期待値電圧発生手段60は、実施の形態7乃至11における各種補正のための構成ブロックである。図9は図8の構成に対し演算手段67をさらに付加したものである。期待値電圧発生手段60は、期待値電圧出力手段を構成する18ビットのDAC61、DAC61へ入力する理想値入力データ(誤差が無いとした場合にDAC61へ入力されるべきデータ)を記憶する理想値入力データ記憶手段63と、DAC61の理想特性からの誤差を補正するための補正入力値を記憶する補正值入力データ記憶手段64と、理想値入力データ記憶手段63に記憶されている理想値入力データVKIDと補正值入力データ記憶手段64に記憶されている補正值入力データVKHDを加算器62により加算し、DAC61

への入力データ VKRD を生成する演算手段 6 7 とを備えている。さらに、これらを制御する制御手段 6 5 と、記憶手段 6 6 と、制御手段 6 5 と外部（例えば信号線 4 0 a 又は信号線 2 0 0 a 等）との間でデータを入出力するデータ入出力手段（不図示）を備えている。演算手段 6 7 はゲイン補正係数、DAC 6 1 への入力データとなる補正值入力データを算出する（実施の形態 1 1 参照）。なお、期待値電圧出力手段 6 0 における DAC 6 1 の分解能を、比較電圧生成手段における DAC 1 0 6、DAC 1 0 7 の分解能より高精度にすることにより、より高精度の検査ができる。また、期待値電圧発生手段 6 0 は半導体検査装置等への適用に限らず、その他の用途への適用も可能である。

#### 【 0 0 6 3 】

記憶手段 6 6 には補正過程を記述した補正プログラム、DAC 6 1 に入力する複数の理想値入力データ、補正データなどが記憶されている。制御手段 6 5 と記憶手段 6 6 は、半導体試験装置 1 5 等の外部装置に備えていてもよい。内部に備えている場合は、高価な半導体試験装置 1 5 が無くても補正が可能となる。また、外部装置に備えている場合は、期待値電圧発生手段 6 0 の構成が簡略化できる。増幅器 8 の増幅率は、比較器誤差補正時と同様に 2 4 倍である。

#### 【 0 0 6 4 】

期待値電圧発生手段 6 0 に備えられた期待値電圧出力手段である DAC 6 1 の出力は減算器 6 に入力され（図 6、図 7 参照）、階調期待値電圧と階調出力電圧との差電圧を生成するための基準電圧（階調期待値電圧）であるため極力高精度である必要があり、1 8 ビット仕様のものを選択した。なお、必要なビット数はデバイスの仕様により相対的に決定されるものであり、1 8 ビット仕様に限定されるものではない。DAC 6 1 の最大出力は、例えば 1 3 V である。したがってこの場合の DAC 6 1 の分解能は、 $13\text{ V} / 2^{18}$ 、即ち、 $0.050\text{ mV} / \text{ビット}$ である。

#### 【 0 0 6 5 】

#### < 実施の形態 7 >

実施の形態 7 は本発明に係る半導体検査装置の補正方法である。基本的な流れは、次のとおりである。

出力電圧検査手段 5 0 に備えられた比較器 5 2、5 3 のいずれか一方の比較器について、まず 0 V 補正を行い、次に 0 V 以外の補正を適宜行う。次に他方の比較器 5 2、5 3 についても同様に補正を行う。さらに、期待値電圧発生手段 6 0 についても 0 V 補正を行い、次に 0 V 以外の補正を適宜行う。

## 【 0 0 6 6 】

期待値電圧発生手段 6 0 における期待値電圧補正方法はさらに、次のようなステップにより行う。

補正基準となる補正基準電圧入力ステップと、前記補正基準電圧に対応した比較結果に応じて補正基準電圧を増加または減少させる補正基準電圧増減ステップと、比較結果が変化するか否かを検出する比較結果検出ステップと、比較結果が変化しないときは補正基準電圧増減ステップを繰り返し行い、比較結果が変化したときは補正基準電圧増減を停止し、且つ、該タイミングの補正電圧データを記憶する補正データ記憶ステップとを備える。

## 【 0 0 6 7 】

図 6、図 7、図 8、図 1 を参照して比較器、デジタルアナログ変換器等が有する固有の誤差を補正する補正方法を説明する。

第 2 半導体検査装置 2 0 0 に備えられている比較器 5 2、5 3 の測定誤差は例えば 2 0 mV であるとする。比較器用基準電圧 (V O H S、V O H L) 発生用 D A C 1 0 6、1 0 7 は 1 4 ビット構成であり、発生する最大電圧は比較器 5 2、5 3 の仕様により、例えば  $\pm 2.560\text{ V}$  ( $V_{p-p} = 5.120\text{ V}$ ) である。また、期待値電圧発生手段 6 0 に備えられている基準電圧発生用 D A C 6 1 は 1 8 ビット構成であり、発生する最大電圧は 1 3 V である。この最大電圧 1 3 V は、D U T の出力仕様の最大出力電圧 1 3 V に対応づけている。第 1 補正用切替スイッチ S W 1 は、後述する比較器の 0 V 補正時は共通端子 S 1 c と第 2 独立端子 S 1 b (固定電位端子 (接地点)) を接続する。

## 【 0 0 6 8 】

補正対象の比較器 5 2、5 3 には 0 V (固定電位端子 (接地点) に接続) を入力する。半導体検査装置 2 0 0 に内蔵されている D A C 1 0 6、1 0 7 は 1 4 ビットであり、最大出力電圧の絶対値は  $5.120\text{ V}$  であるとする。つまり、D A

C 1 0 6、1 0 7 の分解能は  $5.120\text{ V} / 2^{14} = 0.3\text{ mV} / \text{ビット}$  である。補正順序は、図 1 内のハイレベル比較器 5 2、ローレベル比較器 5 3 のうちいずれから行ってもよい。

#### 【 0 0 6 9 】

比較器 5 2 の 0 V 補正值を求める方法の概略ステップ（1 ～ 6）は以下のとおりである。比較器 5 3 についても同様に補正することができる。

##### 概略ステップ 1：

まず、期待値電圧発生手段 6 0 の理想値入力データ記憶手段 6 3 に対応する D A C 6 1 が理想 D A C であるときの理想特性に対応する入力データの値を設定する。設定はテスト制御手段 4 0 からデータを制御手段 6 5 へ入力し、理想値入力データ記憶手段 6 3 に記憶、読出して設定する。補正值入力データについても同様に補正值入力データ記憶手段 6 4 に記憶、読出して設定する。

##### 概略ステップ 2：

次に、比較器 5 2 等の誤差補正対象回路部の仕様から決まる最大誤差範囲よりも大きな値を補正值の初期値として設定する。最大誤差（仕様）が例えば  $+64\text{ mV}$  の場合、例えばその 2 倍の  $+128\text{ mV}$  を設定する。比較器 5 2 はハイレベル側の比較を行う比較器であるから、V O H 補正データ入力手段（比較電圧生成用データ入力手段 1 0 1 c）を介して比較器 5 2 の + 端子の値 V O H S を設定する。

#### 【 0 0 7 0 】

##### 概略ステップ 3：

最初は概略ステップ 2 の設定条件であるから、補正值が許容誤差の範囲を超えるので、比較器 5 2 の出力（例えば c h M では、最終的には D M H）はハイまたはローのいずれかの値になる。

##### 概略ステップ 4：

次の補正值は、絶対値が現在の補正值（ $+128\text{ mV}$ ）の  $1/2$  倍で、極性は反対の値（+ に対し -）として求める（つまり  $-64\text{ mV}$ ）。

#### 【 0 0 7 1 】

##### 概略ステップ 5：

補正值として概略ステップ4により求めた $-64\text{ mV}$ を設定する。このとき（ $V_{OH}$ 補正データ入力手段を介して $-64\text{ mV}$ を入力したとき）、比較器52の出力状態が直前と反対の状態に変化する場合、つまり、比較器52の出力がハイからローに変化、あるいは、ローからハイに変化した場合は、現在の補正值（ $-64\text{ mV}$ ）に対し、新たに設定する補正值として現在の補正值を求めた際の補正值の変化幅の $1/2$ の値だけ変化させ、且つ、変化方向は直前の変化方向の反対側に変化させる。つまり、 $+128\text{ mV}$ から $-64\text{ mV}$ への変化は $-192\text{ mV}$ （現在の補正值を求めた際の補正值の変化幅）であり、変化幅は $192$ 、変化方向はマイナスである。従って、次の補正值を求めるための変化幅は $192\text{ mV}/2 = 96\text{ mV}$ 、補正は増加する方向、つまりプラス方向となる。したがって、直前の補正值 $-64\text{ mV}$ に補正值の変化幅 $+96\text{ mV}$ を加えた値 $+32\text{ mV}$ を次の補正值とする。

また、比較器52の出力が直前の状態と同じ場合、つまり、ハイ又はロー状態を維持した場合は、現在の補正值（ $-64\text{ mV}$ ）に対し、新たに設定する補正值として現在の補正值を求めた際の補正值の変化幅の $1/2$ 倍の値だけ変化させ、且つ、変化方向は直前の変化方向と同じ側に変化させる。つまり、 $+128\text{ mV}$ から $-64\text{ mV}$ への変化は $-192\text{ mV}$ であり、変化幅は $192$ 、変化方向はマイナスである。従って、次の補正值を求めるための変化幅は $192\text{ mV}/2 = 96\text{ mV}$ 、補正は減少する方向、つまりマイナス方向となる。したがって、直前の補正值 $-64\text{ mV}$ に補正值の変化幅 $-96\text{ mV}$ を加えた値 $-160\text{ mV}$ を次の補正值とする。この様な方法で、補正值の再補正を行う。

概略ステップ6：

変化幅が、比較器52の分解能の値より小さくなった時点の補正值を最終補正值として確定する。

【0072】

以上の方法は、比較器、DACのような補正対象回路が有する固有の誤差を補正するために、補正值の設定を出力状態（出力の論理状態）の変化を判定しながら繰り返し、設定する補正值を徐々に収束させていくものであり、これにより補正対象回路が有する誤差を絞り込むことができる。比較器、DACのような誤差

補正が必要な補正対象回路に適用可能な高速補正值探索方法である。

【 0 0 7 3 】

さらに詳細に補正対象回路の補正方法を説明する。

＜実施の形態 8＞

実施の形態 8 は + 2 0 m V の誤差が内蔵されているハイレベル比較器 5 2 の補正方法（補正手順）である。さらに、実施の形態 9 において、+ 1 0 m V の誤差が内蔵されているローレベル比較器 5 3 の場合の補正方法（補正手順）を説明する。

【 0 0 7 4 】

（A. ハイレベル比較器 5 2 の 0 V 補正值の補正方法における初期設定）

ここで、0 V 補正值とは、理想特性 0 V に対する補正值（補正入力データ）をいう。

図 6 において、第 2 半導体検査装置 2 0 0 へ入力されるテスト制御手段 4 0 からの共通比較電圧生成用データ（I V H b、I V L b）から得られる電圧 V O H、V O L は 0. 0 0 0 V（以下他のデータ部分を含め全て、データの数値ではなく対応する電圧値で示す）に設定する。補正用データ初期値は、各々 1 2 8 m V、- 2. 5 0 0 V に設定する。この値はハイレベル比較器 5 2（以下比較器 5 2 ともいう）に入力される電圧が誤差の範囲よりも十分に大きな値になるように選択し、比較器 5 2 の初期出力値は比較器の測定誤差の大小に拘わらず所定の値に設定できるようにしている。V O H の初期値は、補正時間を短くする観点からは極力小さい値が望まれるため V O L よりも小さい値を選択している。第 1 補正用切替スイッチ S W 1 の共通端子 S 1 c と独立第 2 端子 S 1 b とを接続し、比較器 5 2 への入力電圧（被検査電圧に対応）を 0. 0 0 0 V とする。比較器 5 2 に対応する D A C（比較電圧生成手段）1 0 6 には 1 2 8 m V + 0. 0 0 0 V 即ち 1 2 8 m V に対応するデジタルデータが入力されている。ローレベル比較器 5 3 に対応する D A C（比較電圧生成手段）1 0 7 には - 2. 5 0 0 V + 0. 0 0 0 V 即ち 2. 5 0 0 V に対応するデジタルデータが入力されている。

【 0 0 7 5 】

（B. ハイレベル比較器 5 2 の 0 V 補正值の補正方法）



比較器 5 2 の誤差が + 2 0 m V の場合、即ち、比較器 5 2 の + 入力端子に入力される補正電圧（個別比較電圧生成用データ I V H c から変換される電圧）に + 2 0 m V を加えた値が、実効入力電圧となるような誤差を含む場合、これを、D U T のデバイス仕様から要求される測定精度を満たす精度まで以下の方法で補正する場合について説明する。図 1 0 はハイレベル比較器の 0 V 補正值の補正方法における各ステップでの状況を示す状況一覧図表である。図において、I V H c 補正值欄は個別比較電圧生成用データ I V H c に対応するが、ここでは簡単化するために電圧値で示す。+ 端子入力電圧（実効入力電圧）欄は誤差を含む実効的な値を示す。比較器出力欄は比較器 5 2 の出力状態（論理ハイ／ロー）を示す。誤差欄は補正值による補正の結果得られる最終的な誤差をあらわす。ステップ欄の番号は以下のステップ番号と一致する。誤差欄の数値は D A C 6 1 での量子化誤差分を除いて示す。なお、比較器 5 2 の補正においては、ローレベル比較器 5 3 については言及しないが、出力は常時ローレベルである。比較器 5 2 の - 入力端子に入力される電圧は 0 . 0 0 0 V （固定）、V O H は 0 . 0 0 0 V （固定）、V O L は - 2 . 5 0 0 V （固定）とする。

【 0 0 7 6 】

ステップ 1 :

初期状態の比較器 5 2 の出力（ハイ又はローのいずれの状態にあるか）を確認する。初期状態では + 入力端子の実効入力電圧は + 1 4 8 m V （+ 1 2 8 m V + 2 0 m V）であるので、比較器 5 2 の出力はハイレベルとなる。これにより誤差電圧が - 1 2 8 m V 以上であることを確認する

ステップ 2 :

$- 1 2 8 \text{ m V} \times 1 / 2 = - 6 4 \text{ m V}$  に対応するデジタル補正データを設定する。+ 入力端子の実効入力電圧は - 4 4 m V （- 6 4 m V + 2 0 m V）であるので、出力はローレベルとなる。これにより、誤差は + 6 4 m V 以下であることが確認できる。

ステップ 3 :

$-( 1 4 8 \text{ m V} + 4 4 \text{ m V} ) \times 1 / 2 - 6 4 \text{ m V} = + 3 2 \text{ m V}$  に対応するデジタル補正データを設定する。+ 入力端子の実効入力電圧は + 5 2 m V であるので

、出力はハイレベルとなる。これにより、+誤差電圧は32 mV以上であることが確認できる。

【0077】

ステップ4：

－(96 mV) × 1 / 2 + 32 mV = -16 mVに対応するデジタル補正データを設定する。+入力端子の実効入力電圧は+4 mVであるので、出力はハイレベルとなり、ハイレベル出力が連続する。誤差電圧は-16 mV以上であることが確認できる。

ステップ5：

比較器52の出力状態が変化しない場合は、次の補正值として、現補正值（ここではステップ4で得た補正值）に変化幅Δnを加算した値を設定する。該変化幅Δnは、直前の補正值の変化幅Δ(n-1)（ステップ4で得た補正值からステップ3で得た補正值を差し引いた値）の1/2である。変化させる極性は直前の変化と同方向に変化させる。

$$\Delta(n-1) = +32 \text{ mV} - (-16 \text{ mV}) = +48 \text{ mV}, \Delta n = +48 \text{ mV} \times 1/2 = +24 \text{ mV}$$

次の補正值は、-16 mV - 24 mV = -40 mVに対応するデジタル補正データを設定する。+入力端子の実効入力電圧は-20 mVであるので出力はローレベルとなる。誤差電圧は+40 mV以下であることが確認できる。

ステップ6：

比較器52の出力状態が変化した場合は、次の補正值として、現補正值（ここではステップ5で得た補正值）に変化幅Δmを加算する。変化幅Δmは、直前の補正值の変化幅Δ(m-1)（ステップ5で得た補正值からステップ4で得た補正值を差し引いた値）の1/2である。変化させる極性は直前の変化とは逆方向に変化させる。前回の変化幅は24 mVであり、変化方向は負である。したがって、変化幅は12 mV、変化方向は正である。その結果、次の補正值は、以下のようになる。

$$\text{次の補正值} = \text{現在の補正值} + 12 \text{ mV} = -40 \text{ mV} + 12 \text{ mV} = -28 \text{ mV}$$

次の補正值として-28 mVに対応するデジタル補正データを設定する。+入

力端子の実効入力電圧は $-8\text{ mV}$ であるので出力はローレベルとなる。誤差電圧は $+28\text{ mV}$ 以下であることが確認できる。

## 【0078】

## ステップ7：

比較器52の出力状態が変化しない場合であるので、ステップ5と同様の方法で次の補正値を求める。変化幅は $12\text{ mV} \times 1/2 = 6\text{ mV}$ 、変化方向は正である。

次の補正値＝現在の補正値 $+6\text{ mV} = -28\text{ mV} + 6\text{ mV} = -22\text{ mV}$

次の補正値は、 $-22\text{ mV}$ に対応するデジタル補正データを設定する。実効入力電圧は $-2\text{ mV}$ であるので、出力はローレベルとなる。誤差電圧は $+22\text{ mV}$ 以下であることが確認できる。

## ステップ8：

比較器52の出力状態が変化しない場合であるので、ステップ5と同様の方法で次の補正値を求める。変化幅は $+6\text{ mV} \times 1/2 = +3\text{ mV}$ 、変化方向は正である。

次の補正値＝現在の補正値 $+3\text{ mV} = -22\text{ mV} + 3\text{ mV} = -19\text{ mV}$

次の補正値は、 $-19\text{ mV}$ に対応するデジタル補正データを設定する。実効入力電圧は $+1\text{ mV}$ であるので、出力はハイレベルとなる。誤差電圧は $+19\text{ mV}$ 以上であることが確認できる。

## ステップ9：

比較器52の出力状態が変化する場合であるので、ステップ5と同様の方法で次の補正値を求める。変化幅は $3\text{ mV} \times 1/2 = 1.5\text{ mV}$ 、変化方向は負である。

次の補正値＝現在の補正値 $-0.75\text{ mV} = -19\text{ mV} - 1.5\text{ mV} = -20.5\text{ mV}$

次の補正値は、 $-20.5\text{ mV}$ に対応するデジタル補正データを設定する。実効入力電圧は $-0.5\text{ mV}$ であるので、出力はローレベルとなる。誤差電圧は $+20.5\text{ mV}$ 以下であることが確認できる。

## 【0079】

ステップ 10 :

比較器 52 の出力状態が変化する場合であるので、ステップ 5 と同様の方法で次の補正值を求める。変化幅は  $1.5 \text{ mV} \times 1/2 = 0.75 \text{ mV}$ 、変化方向は正である。

次の補正值 = 現在の補正值 +  $0.75 \text{ mV} = -20.5 \text{ mV} + 0.75 \text{ mV} = -19.75 \text{ mV}$

次の補正值は、 $-19.75 \text{ mV}$  に対応するデジタル補正データを設定する。実効入力電圧は  $+0.25 \text{ mV}$  であるので、出力はハイレベルとなる。誤差電圧は  $+19.75 \text{ mV}$  以上であることが確認できる。

ステップ 11 :

比較器 52 の出力状態が変化する場合であるので、ステップ 5 と同様の方法で次の補正值を求める。変化幅は  $0.75 \text{ mV} \times 1/2 = 0.375 \text{ mV}$ 、変化方向は負である。

次の補正值 = 現在の補正值 -  $0.375 \text{ mV} = -19.75 \text{ mV} - 0.375 \text{ mV} = -20.125 \text{ mV}$

次の補正值は、 $-20.125 \text{ mV}$  に対応するデジタル補正データを設定する。実効入力電圧は  $-0.125 \text{ mV}$  であるので、出力はローレベルとなる。誤差電圧は  $+20.125 \text{ mV}$  以下であることが確認できる。

ステップ 12 :

比較器 52 の出力状態が変化する場合であるので、ステップ 5 と同様の方法で次の補正值を求める。変化幅は  $0.375 \text{ mV} \times 1/2 = 0.1875 \text{ mV}$ 、変化方向は正である。

次の補正值 = 現在の補正值 +  $0.1875 \text{ mV} = -20.125 \text{ mV} + 0.1875 \text{ mV} = -19.9375 \text{ mV}$

次の補正值は、 $-19.9375 \text{ mV}$  に対応するデジタル補正データを設定する。実効入力電圧は  $+0.0625 \text{ mV}$  であるので、出力はハイレベルとなる。誤差電圧は  $+19.9375 \text{ mV}$  以上であることが確認できる。この時点での補正誤差は  $+0.0625 \text{ mV}$  である。

【0080】

ハイレベル比較器 52 に対応する DAC 106 の分解能が 0.03 mV であるので、これ以上の補正は行わない。初期設定から 11 回の補正を行うことで、誤差 20 mV を誤差 0.0625 mV まで補正できた。比較器 52 の分解能が 0.3 mV であるので、不確定誤差 0.15 mV を考慮すると、誤差は +0.15625 mV 乃至 -0.14375 mV の範囲となる。測定対象の DUT の出力仕様は、例えば、最大出力電圧 13 V、512 階調出力であるので、1 階調間あたりの電圧は  $\gamma$  補正に依存するものの、均等に分割すると 25.39 mV である。出力端子間偏差電圧としては  $25.39 \text{ mV} / 4 = 6.35 \text{ mV}$  程度の電圧測定精度が必要であるが、今回の補正で十分に正確な測定が行える。なお、出力端子間偏差電圧仕様は、256 階調以上の仕様の液晶駆動装置においては、隣接階調電圧の 1/2 である場合も多く、当然ながらこのような場合にも正確な測定が行える。

## 【0081】

測定対象の DUT の出力仕様が、最大出力電圧 13 V、1024 階調出力である場合は、1 階調間あたりの電圧は均等に分割すると 6.35 mV である。出力端子間偏差電圧は  $6.35 \text{ mV} / 4 = 1.587 \text{ mV}$  程度の電圧測定が必要であるが、今回の補正で 0.15 mV の誤差範囲で測定が可能のため十分に正確な測定が行える。

## 【0082】

## ＜実施の形態 9＞

（ローレベル比較器 53 の 0 V 補正值の補正方法）

実施の形態 8 と同様の方法により、+10 mV の誤差が内蔵されているローレベル比較器 53 の補正方法（補正手順）を説明する。

ローレベル比較器 53 についても同様の方法で補正を行うことができる。このときの初期設定としては、一端子入力電圧 = 0.000 V（固定）、 $V_{OH} = 2.500 \text{ V}$ （固定）、 $V_{OL} = 0.000 \text{ V}$ （固定）、 $I_{VLb} = -128 \text{ mV}$  である。図 11 はローレベル比較器の 0 V 補正值の補正方法における各ステップでの状況を示す状況一覧図表である。図において、 $I_{VLc}$  補正值欄は個別比較電圧生成用データ  $I_{VLc}$  に対応するが、ここでは簡単化するために電圧値で示

す。その他の項目等は図 1 0 と同一である。基本的には実施の形態 8 における方法と同一であり、ステップ 2 1 からステップ 3 2 についての詳細な説明は省略する。ローレベル比較器 5 3 の+入力端子に入力される電圧は 0. 0 0 0 V (固定)、VOL = 0. 0 0 0 V (固定)、VOH = 2. 5 0 0 V (固定) とする。

## 【 0 0 8 3 】

以上により、所定のチャンネルのハイレベル比較器 5 2、ローレベル比較器 5 3 の補正データが確定され、補正データ記憶手段 ( 2 1 5。図 3 参照) に記憶される。この動作を補正が必要なすべてのチャンネルに対して行う。なお、一度設定された補正データはテスト装置の電源が遮断されても記憶されている事が望ましい。電源再投入時に再度補正值を求める必要がないからである。したがって、この記憶手段は不揮発性メモリであることが望ましい。

## 【 0 0 8 4 】

## &lt; 実施の形態 1 0 &gt;

図 9 における期待値電圧発生手段 6 0 に誤差がある場合、即ち、期待値電圧発生手段 6 0 が備える DAC 6 1 に誤差がある場合は、この誤差を補正する必要がある。誤差がない理想的 DAC とした場合の DAC 入力データ (理想値入力データ VKID) に、誤差補正用データ (補正值入力データ VKHD) を加え、加算後のデータ (実入力データ VKRD。加算器 6 2 の出力) を DAC 6 1 の入力デジタルデータとして与えることで期待値電圧発生手段 6 0 からの発生電圧の誤差を補正する。DAC 6 1 の誤差には、オフセット誤差と増幅率誤差とがある。オフセット誤差とは、理想特性の DAC であれば 0 V 電圧を出力することになるデジタルデータを DAC 6 1 の入力データとして与えたときに、DAC 6 1 から出力される電圧値のことをいう。実施の形態 1 0 においては期待値電圧発生手段 6 0 におけるオフセット誤差の補正方法を説明する。増幅率誤差 (ゲイン誤差) の補正方法については実施の形態 1 1 において説明する。DUT の仕様は実施の形態 9、1 0 の場合と同様である。

## 【 0 0 8 5 】

## (A. 期待値電圧発生手段 6 0 のオフセット誤差の補正方法)

オフセット誤差が - 1 0 mV の場合を例として、以下の補正過程によりオフセ

ット誤差を補正する。なお、 $-10\text{ mV}$ の誤差がある場合、検査対象のDUTは1階調間あたりの電圧が $25.39\text{ mV}$ であり、測定精度として不十分である。以下、DACの各入力データ（理想値入力データVKID、補正值入力データVKHD、実入力データVKRD）は、各デジタル入力に対応する電圧値で表現することとする。期待値電圧発生手段60の補正をする方法の概略ステップ（10～15）は以下のとおりである。

【0086】

概略ステップ10：

まず、理想値入力データ記憶手段63に記憶するデータは、高精度電圧発生手段13（図7参照）の電圧に対応する理想DAC入力データ（理想値入力データVKID）の値を設定する。

概略ステップ11：

次に、DAC61等の誤差補正対象回路部の仕様から決まる最大誤差範囲よりも大きな値を補正值の初期値として設定する。例えば、DAC61の出力の最大誤差（仕様）が例えば $+64\text{ mV}$ の場合、例えばその2倍の $+128\text{ mV}$ を設定する。この設定条件では、補正值が許容誤差の範囲を超えているので、比較器53の出力（例えばchMでは、最終的にはDML）はハイ又はローのいずれかの値になる。

概略ステップ12：

次の補正值は、絶対値が現在の補正值（ $+128\text{ mV}$ ）の $1/2$ 倍で、極性は反対の値、つまり $-64\text{ mV}$ を次の補正值として設定する。

【0087】

概略ステップ13：

このとき、比較器53の出力状態が直前の状態と反対の状態、つまり、ハイからローに変化、又はローからハイに変化する場合は、現在の補正值（ $-64\text{ mV}$ ）に対し、新たに設定する補正值として現在の補正值を求めた際の補正值の変化幅の $1/2$ の値だけ変化させ、且つ、変化方向は直前の変化方向の反対側に変化させる。つまり、 $128\text{ mV}$ から $-64\text{ mV}$ への変化は $-192\text{ mV}$ であり、変化幅は192、変化方向はマイナスである。従って、次の補正值を求めるための

変化幅は  $192\text{ mV} / 2 = 96\text{ mV}$ 、補正は増加する方向、つまりプラス方向となる。したがって、直前の補正值  $-64\text{ mV}$  に補正值の変化幅  $+96\text{ mV}$  を加えた値  $+32\text{ mV}$  を次の補正值とする。

概略ステップ 14 :

また、比較器 53 の出力状態が直前の状態と同じ場合、つまり、ハイ又はロー状態を維持した場合は、現在の補正值 ( $-64\text{ mV}$ ) に対し、新たに設定する補正值として現在の補正值を求めた際の補正值の変化幅の  $1/2$  の値だけ変化させ、且つ、変化方向は直前の変化方向と同じ側に変化させる。つまり、 $128\text{ mV}$  から  $-64\text{ mV}$  への変化は  $-192\text{ mV}$  であり、変化幅は  $192$ 、変化方向はマイナスである。従って、次の補正值を求めるための変化幅は  $192\text{ mV} / 2 = 96\text{ mV}$ 、補正は減少する方向、つまりマイナス方向となる。したがって、 $-64\text{ mV}$  に補正值の変化幅  $-96\text{ mV}$  を加えた値  $-164\text{ mV}$  を次の補正值とする。

【 0 0 8 8 】

概略ステップ 15 :

この様な方法で、補正值の再補正を行う。この変化幅が、補正対象デバイス、例えば、比較器あるいは DAC の分解能の値より小さくなった時点の補正值を最終補正とする。この方法は、誤差補正対象が比較器、DAC のいずれにも適用できる高速補正值探索方法である。

【 0 0 8 9 】

(B. 期待値電圧発生手段 60 のオフセット誤差の補正方法における初期設定)

図 7 乃至図 9、図 1 を参照して期待値電圧発生手段 60 が有するオフセット誤差の補正方法における初期設定について説明する。

比較器 52、53 の初期設定状態は、 $V_{OH} = 0.00\text{ mV}$ 、 $V_{OL} = 0.00\text{ mV}$ 、比較器補正データ ( $IVHc$ 、 $IVLc$ ) は比較器 52、53 の補正過程で得られた値が設定されている。高精度電圧発生手段 13 の出力電圧  $V_{KS}$  は  $100\text{ mV}$  に設定されている。理想値入力データ記憶手段 63 に記憶される理想値入力データ  $V_{KID}$  は  $100\text{ mV}$  ( $V_{KS}$  に対応させる)、補正值入力データ記憶手段 64 の補正值入力データ  $V_{KHD}$  は  $128\text{ mV}$  である。この  $128\text{ mV}$  という値は、予想誤差よりも大きい値であり、且つ、補正值を極力効率よく検出



できる値であることが必要である。ここで、期待値電圧発生手段 6 0 の DAC 6 1 の最大誤差範囲は  $\pm 128 \text{ mV}$  である。即ち、 $\pm 13 \text{ V}$  出力時の誤差は最大でも  $\pm 128 \text{ mV}$  の範囲内にあるので、初期補正值として  $128 \text{ mV}$  を設定する。加算器 6 2 の出力 VKRD は、 $228 \text{ mV}$  ( $VKID100 \text{ mV} + VKHD128 \text{ mV}$ ) である。DAC 6 1 のオフセット誤差は  $-10 \text{ mV}$  であるので、DAC 6 1 の実効出力電圧 VKD は  $218 \text{ mV}$  ( $228 \text{ mV} - 10 \text{ mV}$ ) となる。高精度電圧発生手段 1 3 の出力電圧 VKS と DAC 6 1 の実効出力電圧 VKD との差電圧 (増幅器 8 の入力) は  $-118 \text{ mV}$  であるので、増幅器 8 の出力電圧  $\Delta VK$  は  $(-118 \text{ mV}) \times 24 = -2832 \text{ mV}$  となる。その結果、第 2 半導体検査装置 2 0 0 に備えられた 2 つの比較器 5 2、5 3 の基準電圧 ( $V_{OH}$ 、 $V_{OL}$ ) いずれも  $0.00 \text{ mV}$  であるので、比較結果出力 DMH はロー、DML はハイとなる。補正は、比較結果出力 DMH、DML のいずれか一方のデータを用いて行うことができるが、図 1 2 に示す各補正過程では比較結果出力 DML (比較器 5 3) のデータを用いて補正を行う。高精度電圧発生手段 1 3 の出力電圧 VKS、理想値入力データ VKID は、特に言及しない限り  $100 \text{ mV}$  の状態を保持する。

## 【0090】

図 1 2 は期待値電圧発生手段のオフセット誤差の補正方法における各ステップでの状況を示す状況一覧図表である。期待値電圧発生手段 6 0 のオフセット誤差は上述のとおり、 $-10 \text{ mV}$  である。図において、DAC 各欄の理想値入力データ VKID は理想値入力データ VKID に、補正入力データ VKHD は補正值入力データ VKHD に、出力電圧は VKD に各々対応する。増幅器各欄の入力電圧は高精度電圧発生手段 1 3 の出力電圧 VKS と DAC 6 1 の実効出力電圧 VKD との差電圧を、出力電圧は増幅器 8 からの出力電圧  $\Delta VK$  を示す。比較器出力電圧欄は比較器 5 3 の比較結果出力の論理状態状況 (ハイ、ロー) を示す。ステップ欄の番号は以下のステップ番号と一致する。誤差欄の数値は DAC 6 1 での量子化誤差分を除いて示す。なお、データの欄は簡単化するために対応する電圧で示す。

## 【0091】

ステップ 4 1 :

初期状態の比較器出力を確認する。初期状態では D A C 6 1 の実効出力電圧 V K D は 2 1 8 m V である。増幅器 8 の出力電圧  $\Delta V K$  は  $(-118 \text{ mV}) \times 24 = -2832 \text{ mV}$  である。出力電圧  $\Delta V K$  が第 2 半導体検査装置 2 0 0 に備えられた比較器 5 3 に入力され、ローレベル比較結果出力データ D M L (以下出力データ D M L ともいう) はローとなる。

D A C 6 1 の補正值入力データ V K H D に 1 2 8 m V の補正を行った基準電圧 (出力電圧 V K D) が被比較電圧 (高精度電圧発生手段 1 3 の出力電圧 V K S、理想値入力データ V K I D に対応) 1 0 0 m V より高い電圧であることが判り、誤差電圧が - 1 2 8 m V 以上であることが確認できる。

【 0 0 9 2 】

ステップ 4 2 :

$(-1) \times 128 \text{ mV} \times 1 / 2 = -64 \text{ mV}$  に対応する D A C 6 1 の補正值を補正值入力データ記憶手段 6 4 に設定する。(ステップ 4 1 (以下 S 4 1 のように示す) の補正值より 1 9 2 m V 小さな値を設定する。) D A C 6 1 の実効出力電圧 V K D は、2 6 m V である。

$$V K D = \text{理想値入力データ設定値} + \text{補正值入力データ設定値} + \text{誤差値} = 100 \text{ mV} + (-64 \text{ mV}) + (-10 \text{ mV}) = 26 \text{ mV}$$

増幅器 8 の出力電圧  $\Delta V K$  は、S 4 1 と同様の算出方法で 1 7 7 6 m V となる。

$$\Delta V K = (\text{高精度電圧発生手段 1 3 の出力電圧 V K S} - \text{期待値電圧発生手段 6 0 の実効電圧 V K D (D A C 6 1 の実効出力電圧)}) \times \text{増幅率} = (100 - 26 \text{ mV}) \times 24 = 1776 \text{ mV}$$

比較器 5 3 の比較結果出力 D M L はハイレベルとなる。即ち、- 6 4 m V の補正を行った D A C 6 1 の入力データにて発生した基準電圧 (出力電圧 V K D) が被比較電圧 1 0 0 m V より低い電圧であるので、誤差電圧が 6 4 m V 以下であることが確認できる。

【 0 0 9 3 】

ステップ 4 3 :

$(-1) \times (-64 \text{ mV}) \times 1 / 2 = 32 \text{ mV}$ に対応するDAC 61の補正値を補正値入力データ記憶手段64に設定する。(S 4 2の補正値より96 mV大きな値を設定する。)

DAC 61の実効出力電圧VKDは122 mV、増幅器8の出力電圧 $\Delta \text{VK}$ は $(-22 \text{ mV}) \times 24 = -528 \text{ mV}$ となる。比較器53の比較結果出力DMLはハイレベルである。即ち、32 mVの補正を行ったDAC 61の入力データにて発生した基準電圧(出力電圧VKD)が被比較電圧100 mVより高い電圧であるので、誤差電圧が-32 mV以上であることが確認できる。

【0094】

ステップ44:

$(-1) \times (32 \text{ mV}) \times 1 / 2 = -16 \text{ mV}$ に対応するDAC 61の補正値を補正値入力データ記憶手段64に設定する。(S 4 3の補正値より48 mV小さな値を設定する。)

DAC 61の実効出力電圧VKDは74 mV、増幅器8の出力電圧 $\Delta \text{VK}$ は $(26 \text{ mV}) \times 24 = 624 \text{ mV}$ である。比較器53の比較結果出力DMLはハイレベルである。即ち、-16 mVの補正を行ったDAC 61の入力データにて発生した基準電圧(出力電圧VKD)が被比較電圧100 mVより低い電圧であるので、誤差電圧が16 mV以下であることが確認できる。

【0095】

ステップ45:

$(-1) \times (-16 \text{ mV}) \times 1 / 2 = 8 \text{ mV}$ に対応するDAC 61の補正値を補正値入力データ記憶手段64に設定する。(S 4 4の補正値より24 mV大きな値を設定する。)

DAC 61の実効出力電圧VKD-10 mVの誤差があるのでVKDは98 mV、増幅器8の出力電圧 $\Delta \text{VK}$ は $(2 \text{ mV}) \times 24 = 48 \text{ mV}$ である。比較器53対応出力DMLはハイレベルである。即ち、8 mVの補正を行ったDAC 61の入力データにて発生した基準電圧(出力電圧VKD)が被比較電圧100 mVより低い電圧であるので、誤差電圧が-8 mV以下であることが確認できる。

【0096】

## ステップ46:

S45では比較器53対応出力DMLの出力状態が変化しなかったことを考慮して、補正值の変化方向はS45の場合と同じ方向とする。つまり補正值を増加する方向に変化させる。増加する値はS45で増加した値の $1/2$ 倍とする。つまり、補正值の加算データは $(24\text{ mV}) \times 1/2 = 12\text{ mV}$ 、補正值は $8\text{ mV} + 12\text{ mV} = 20\text{ mV}$ に対応するDAC61の補正值を補正值入力データ記憶手段64に設定する。(S45の補正值より $12\text{ mV}$ 大きな値を設定する。)

DAC61の実効出力電圧VKDは $110\text{ mV}$ 、増幅器8の出力電圧 $\Delta V_K$ は $(-10\text{ mV}) \times 24 = -240\text{ mV}$ である。比較器53対応出力DMLはローレベルである。即ち、 $20\text{ mV}$ の補正を行ったDAC61の入力データにて発生した基準電圧(出力電圧VKD)が被比較電圧 $100\text{ mV}$ より低い電圧であるので、誤差電圧が $-20\text{ mV}$ 以上であることが確認できる。

【0097】

## ステップ47:

S46では比較器53対応出力DMLの出力状態が変化したことを考慮して、補正值の変化方向はS46の場合と反対方向とする。つまり、誤差値はS45の補正值とS46の補正值の間にある補正值を検索する方向、即ち、減少させる方向に変化させる。減少する値はS46のステップで増加した値の $1/2$ 倍とする。補正值の減算データは $(12\text{ mV}) \times 1/2 = 6\text{ mV}$ 、補正值は $-6\text{ mV} + 20\text{ mV} = 14\text{ mV}$ に対応するDAC61の補正值を補正值入力データ記憶手段64に設定する。

DAC61の実効出力電圧VKDは $104\text{ mV}$ 、増幅器8の出力電圧 $\Delta V_K$ は $(-4\text{ mV}) \times 24 = -96\text{ mV}$ である。比較器53対応出力DMLはローレベルである。これによりDAC61の誤差電圧が $-14\text{ mV}$ 以上であることを確認する。

【0098】

## ステップ48:

S47では比較器53対応出力DMLの出力状態が変化しなかったことを考慮して、補正值の変化はS47の場合と同じ方向とする。つまり、誤差値はS45

の補正值と S 4 7 の補正值の間にある補正值を検索する方向、即ち、減少させる方向に変化させる。減少する値は S 4 7 で減少した値の  $1/2$  倍とする。補正值の減少データは  $(6 \text{ mV}) \times 1/2 = 3 \text{ mV}$ 、補正值は  $-3 \text{ mV} + 14 \text{ mV} = 11 \text{ mV}$  に対応する DAC 6 1 の補正值を補正值入力データ記憶手段 6 4 に設定する。

DAC 6 1 の実効出力電圧 VKD は  $101 \text{ mV}$ 、増幅器 8 の出力電圧  $\Delta V K$  は  $(-1 \text{ mV}) \times 24 = -24 \text{ mV}$  である。比較器 5 3 対応出力 DML はローレベルである。これにより DAC 6 1 の誤差電圧が  $-11 \text{ mV}$  以上であることを確認する。

【0099】

ステップ 4 9 :

S 4 8 では比較器 5 3 対応出力 DML の出力状態が変化しなかったことを考慮して、補正值の変化は S 4 8 の場合と同じ方向とする。つまり、誤差値は S 4 5 の補正值と S 4 8 の補正值の間にある補正值を検索する方向、即ち、減少させる方向に変化させる。減少する値は S 4 8 で減少した値の  $1/2$  倍とする。補正值の減少データは  $(3 \text{ mV}) \times 1/2 = 1.5 \text{ mV}$ 、補正值は  $-1.5 \text{ mV} + 11 \text{ mV} = 9.5 \text{ mV}$  に対応する DAC 6 1 の補正值を補正值入力データ記憶手段 6 4 に設定する。

DAC 6 1 の実効出力電圧 VKD は  $99.5 \text{ mV}$ 、増幅器 8 の出力電圧  $\Delta V K$  は  $(+0.5 \text{ mV}) \times 24 = 12 \text{ mV}$  である。比較器 5 3 対応出力 DML はハイレベルである。これにより DAC 6 1 の誤差電圧が  $-9.5 \text{ mV}$  以下であることを確認する。

【0100】

ステップ 5 0 :

S 4 9 では比較器 5 3 対応出力 DML の出力状態が変化したことを考慮して、補正值の変化は S 4 9 の場合と反対方向とする。つまり、誤差値は S 4 9 の補正值と S 4 8 の補正值の間にある補正值を検索する方向、即ち、増加させる方向に変化させる。増加する値は S 4 9 で減少した値の  $1/2$  倍とする。補正值の増加データは  $(1.5 \text{ mV}) \times 1/2 = 0.75 \text{ mV}$ 、補正值は  $0.75 \text{ mV} + 9$

るDAC61の補正値を補正値入力データ記

は100.25mV、増幅器8の出力電圧 $\Delta$   
 $-6\text{ mV}$ である。比較器53対応出力DML  
 AC61の誤差電圧が $-10.25\text{ mV}$ 以上

MLの出力状態が変化したことを考慮して、  
 方向とする。つまり、誤差値はS50の補正  
 正値を検索する方向、即ち、減少させる方向  
 で増加した値の $1/2$ 倍とする。補正値の減  
 $2 = 0.375\text{ mV}$ 、補正値は $-0.375$   
 $\text{ mV}$ に対応するDAC61の補正値を補正値  
 。

は99.875mV、増幅器8の出力電圧 $\Delta$   
 $= 3\text{ mV}$ である。比較器53対応出力DML  
 AC61の誤差電圧が $-9.875\text{ mV}$ 以下

MLの出力状態が変化したことを考慮して、  
 方向とする。即ち、増加させる方向に変化さ  
 した値の $1/2$ 倍とする。補正値の増加デー  
 $0.1875\text{ mV}$ 、補正値は $+0.1875$   
 $25\text{ mV}$ に対応するDAC61の補正値を補  
 する。

は100.0625mV、増幅器8の出力電  
 $\times 24 = -0.9\text{ mV}$ である。比較器53対

応出力DMLはローレベルである。これによりDAC61の誤差電圧が $-10.0625\text{ mV}$ 以上であることを確認する。

### 【0103】

#### ステップ53：

S52では比較器53対応出力DMLの出力状態が変化したことを考慮して、補正值の変化はS52の場合と反対方向とする。減少させる値はS52で増加した値の $1/2$ 倍とする。補正值の増加データは $(0.1875\text{ mV}) \times 1/2 = 0.09375\text{ mV}$ 、補正值は $-0.09375\text{ mV} + 10.0625\text{ mV} = 9.96875\text{ mV}$ に対応するDAC61の補正值を補正值入力データ記憶手段64に設定する。

DAC61の実効出力電圧VKDは $99.9688\text{ mV}$ 、増幅器8の出力電圧 $\Delta VK$ は $(+0.0312\text{ mV}) \times 24 = 0.7488\text{ mV}$ である。比較器53対応出力DMLはハイレベルである。これによりDAC61の誤差電圧が $-9.9688\text{ mV}$ 以下であることを確認する。

### 【0104】

#### ステップ54：

S53では比較器53対応出力DMLの出力状態が変化したことを考慮して、補正值の変化はS53の場合と反対方向とする。増加させる値はS53で減少した値の $1/2$ 倍とする。補正值の増加データは $(0.09375\text{ mV}) \times 1/2 = 0.046875\text{ mV}$ 、補正值は $9.9688\text{ mV} + 0.046875\text{ mV} = 10.015675\text{ mV}$ に対応するDAC61の補正值を補正值入力データ記憶手段64に設定する。

DAC61の実効出力電圧VKDは $100.015675\text{ mV}$ 、増幅器8の出力電圧 $\Delta VK$ は $(-0.015675\text{ mV}) \times 24 = -0.3762\text{ mV}$ である。比較器53対応出力DMLはローレベルである。これによりDAC61の誤差電圧が $-10.015675\text{ mV}$ 以上であることを確認する。補正データ値の変化幅が、補正対象DAC61の分解能 $50\text{ }\mu\text{V}$ 以下になったので、これ以上の補正は行わない。この時点の補正データ $10.015675\text{ mV}$ を補正值として採用する。この補正によるDAC61の実効出力電圧VKDの誤差は $0.0156$

75 mVとなる。

【0105】

ステップ55：

誤差電圧が-10.015675 mV以上で、且つ、-9.9688 mV以下であることがわかるので、S53とS54の補正値のそれぞれの補正値の平均値9.992375 mVを補正値としてもよい。この補正によるDAC61の実効出力電圧VKDの誤差は-0.007625 mVとなり、S54におけるDAC61の実効出力電圧VKDの誤差に比べ一層高精度化される。

【0106】

＜実施の形態11＞

（期待値電圧発生手段60のゲイン誤差の補正方法）

ゲイン誤差とは、DAC61の入力データ変化に対応する出力電圧変化の比率、即ち、増幅率（ゲイン）に誤差があることから出力電圧に発生する誤差のことをいう。ゲイン誤差が0.01%、オフセット誤差が0 mVの場合を例として、以下の補正過程によりゲイン誤差を補正する。なお、DAC61のデジタル入力データの表現は、実施の形態10と同様である。この補正を実現する補正用システムの主要部である期待値電圧発生手段60のブロック構成は図9のとおりである。既述のとおり図8に対し、ゲイン補正係数やDAC61の入力データとしての補正値入力データを算出するための演算器67が更に付加されている。補正のためのシステムは、オフセット誤差補正値を求めた実施の形態10の場合と同様である。

【0107】

ゲイン誤差の補正は、DAC61の出力電圧状態の2ポイントについて補正をすることにより行う。ここでは、100 mV（0.1 V）及び12900 mV（12.9 V）を選択した場合の誤差補正値を求めて（図13、図14）、その値からゲイン誤差を補正するゲイン誤差補正係数を求める。この時に必要となる演算は、四則演算のみである。図13はDACの出力電圧が100 mVの時の誤差補正値を求める各ステップでの状況を示す状況一覧図表である。ステップ61乃至ステップ72により誤差補正値を求めている。図14はDACの出力電圧が1



2900 mVの時の誤差補正値を求める各ステップでの状況を示す状況一覧図表である。ステップ81乃至ステップ92により誤差補正値を求めている。求め方は実施の形態10等と同様であり、説明は省略する。

## 【0108】

以上の補正で求めたDAC61における2点（出力電圧0.1 V及び12.9 V）での最終の実入力データ（VKRD）の差と、理想値入力データ（VKID）の差を用いて以下のようにゲイン補正係数を求めることができる。ここでいうゲイン補正係数とは、ゲイン誤差を補正し、実質ゲインを1に補正するための係数である。

ゲイン補正係数 =  $\left( (12.9 \text{ V出力時のDAC61の補正後実入力データ}) - (0.1 \text{ V出力時のDAC61の補正後実入力データ}) \right) \div \left( \text{DAC61の理想値入力データ}(12.9 \text{ V用}) - \text{DAC61の理想値入力データ}(0.10 \text{ V用}) \right) = (12898.562 - 99.9735) / 12.800 = 99.989\% \dots (1)$

## 【0109】

即ちゲインを0.011%下げる方向の補正が必要であることがわかる。入力データを0.99989倍したデータをDAC61の実入力データとして用いることで、0.01%のゲイン誤差を補正することが出来る。即ち、事前に、ゲイン誤差が不明な場合でも、上述のように、DAC61の特性2点の補正を行い、2点の補正データの差をDAC61の理想値入力データの差で除算した値が、ゲイン誤差を補正する補正用ゲインであることがわかる。なお、補正ポイント2点は、上述12.900 Vと0.100 Vの2点に限定されない。

## 【0110】

上述の様に算出した入力データを外部より直接DAC61の実入力データとしてもよいが、式(1)を元に補正値を計算し補正値入力データ記憶手段64に補正データを入力して補正を行ってもよい。この場合は、理想値入力データの-0.011%減じた値を補正データとして採用する。この0.011%は不揮発性メモリに記憶しておくことが望ましい。

## 【0111】

以上により、期待値電圧発生手段 6 0 の比較対象側のオフセット電圧として寄与する期待値電圧発生手段 6 0 のオフセットについても、補正值に反映させて吸収することができる。なお、オフセット誤差は 0 mV としたが、0 mV でなくとも 2 点補正法をもちいることで、ゲイン誤差補正及びオフセット誤差の両方を同時に補正することができることはいうまでもない。また、本過程により期待値電圧発生手段 6 0 のみならず増幅器 8 の誤差がある場合も、前記 2 種類の誤差を併せて補正できることは明らかである。

## 【 0 1 1 2 】

以上の補正值設定過程では、第 2 半導体装置 2 0 0 の出力を期待値電圧発生手段 6 0 にフィードバックし、その入力されるデータを基に制御手段 6 5 が補正值算出制御を行った（図 7 参照）。この場合、高価なテスト装置を用いなくても補正を行うことができる。また、テスト制御手段 4 0 の出力を期待値電圧発生手段 6 0 にフィードバックし、その入力されるデータを基にテスト制御手段により補正值算出制御を行うことも可能である。この場合、制御手段 6 5、記憶手段 6 6、演算手段 6 7 は、テスト装置 1 5 に備えられているテスト制御手段 4 0、記憶手段（図示せず）、演算手段（図示せず）を用いるので、期待値電圧発生手段 6 0 には、制御手段 6 5、記憶手段 6 6、演算手段 6 7 を備える必要がない。

## 【 0 1 1 3 】

また、高精度電圧発生手段 1 3 としてテスト装置 1 5 の電圧出力を用いることも可能である。この場合、補正精度はテスト装置 1 6 の電圧出力の分解能に制約されるが、高精度電圧発生手段 1 3 としての新たな装置が不用となるメリットがある。テスト対象となる DUT が複数種類、例えば、6 V 仕様と 1 3 V 仕様の 2 種類がある場合、各 DUT の出力振幅に合わせて補正值設定を実施することで測定電圧精度を最適化できることはいうまでもない。

## 【 0 1 1 4 】

図 4、図 5 の検査システムに示す検査システムでは、第 1 半導体検査装置 2 0 1（検査装置モジュールを半導体試験装置 1 5 に内蔵）および第 2 半導体検査装置 2 0 0（検査装置モジュールを半導体試験装置 1 5 に外付け）に備えられている比較器（5 2、5 3）精度及びそれに対応して設けられている DAC（6 1、

106、107)の分解能を向上することで測定誤差を更に少なくできることはいうまでも無いが、図4の構成では、第2半導体検査装置200は半導体テスト(半導体試験装置15)の外部に設けられているので、一部のチャンネルだけ比較器精度及びそれに対応して設けられているDAC61の分解能を向上することが容易に行えるため、デバイス仕様に応じた低価格な検査装置を容易に実現できる。

#### 【0115】

#### <実施の形態12>

図15、図16は本発明に係る補正対象回路の補正方法をしめすフローチャートである。実施の形態12は本発明に係る実施の形態7乃至11における補正方法のフローをまとめたものであり、概要を図15、図16に示す。

なお、補正対象回路とは、具体的には比較器、デジタルアナログ変換器、さらにはこれらの組み合わせ、その他の回路との組み合わせ等をいう。出力状態とは、出力電圧をアナログ出力する場合には、プラスマイナスの極性を含む電圧値をいい、出力電圧が論理信号等の場合には論理状態のハイ、ロー等を示す。その他の用語は、基本的には実施の形態7乃至11における用語を適用して理解すべきものである。例えば、最大誤差とは、仕様誤差、最大許容誤差等を意味するものである。

#### 【0116】

#### ステップ101:

補正対象回路の補正しようとする理想特性に対応する入力データを設定する。例えば、実施の形態8において、 $V_{OH} = 0.000V$ として入力したことが対応する。なお、上述したとおり、 $0.000V$ はデジタルデータとして与えられるが、理解を容易にするためにアナログ値として示す(以下においても同様である)。

#### ステップ102:

絶対値が最大誤差の絶対値以上である補正入力データを補正初期値として設定する。例えば、実施の形態8において、 $V_{OH}$ に対して補正用データ初期値 $= +128mV$ として入力したことが対応する。

ステップ 1 0 3 :

補正対象回路の出力状態を確認する。出力状態は例えば論理状態を意味し、論理状態を意味する場合にはハイまたはローいずれであるかを確認する。例えば、実施の形態 8 におけるステップ 1 の出力がハイレベルとなることが対応する。

【 0 1 1 7 】

ステップ 1 0 4 :

絶対値が現補正入力データの絶対値の  $1/2$  で、正負極性が現補正入力データの反対極性である値に補正入力データを設定変更する。例えば、実施の形態 8 におけるステップ 2 に対応し、現補正入力データは初期値の  $+128\text{ mV}$  が対応するから、補正入力データを、 $+128\text{ mV}$  の  $1/2$  の  $64\text{ mV}$  を負にした  $-64\text{ mV}$  に設定変更することが対応する。

ステップ 1 0 5 :

補正対象回路の出力状態を確認する。S 1 0 3 と同様である。例えば、実施の形態 8 におけるステップ 2 の出力がローレベルとなることが対応する。

ステップ 1 0 6 :

直前の出力状態と現出力状態が一致するか否かを判定確認する。直前の出力状態とは例えば S 1 0 3 のハイレベルを示し、現出力状態とは例えば S 1 0 5 のローレベルを示す。実施の形態 8 の例（ステップ 1 の出力がハイレベル、ステップ 2 の出力がローレベル）では一致しない（N O）場合に対応するので、ステップ 1 0 7（S 1 0 7）へ進む。なお、一致する（Y E S）場合はステップ 1 0 8（S 1 0 8）へ進む。

【 0 1 1 8 】

ステップ 1 0 7 :

絶対値が現補正入力データの絶対値の  $1/2$  で、正負極性が現補正入力データの反対極性である値に補正入力データを設定変更して、ステップ 1 0 9 へ進む。例えば、実施の形態 8 におけるステップ 3 が対応し、現補正入力データは  $-64\text{ mV}$  が対応するから、補正入力データを、 $-64\text{ mV}$  の  $1/2$  の  $-32\text{ mV}$  を正にした  $+32\text{ mV}$  に設定変更する。以下実施の形態 8 との照合は省略する。

ステップ 1 0 8 :

絶対値が現補正入力データの絶対値の  $1/2$  で、正負極性が現補正入力データと同極性である値に補正入力データを設定変更する。

ステップ 1 0 9 :

補正対象回路の出力状態を確認する。S 1 0 5 と同様である。

【 0 1 1 9 】

ステップ 1 1 0 :

補正值の絶対値（補正入力データの絶対値）が補正対象回路の分解能以下か否かを判断する。分解能以下の（YES）場合にはステップ 1 1 1 へ、分解能以下でない（NO）場合にはステップ 1 0 6 へ戻り、以降のステップを繰り返す。

ステップ 1 1 1 :

直前の出力状態と現出力状態が一致するか否かを判断する。一致する場合には補正フローを終了する。一致しない場合にはステップ 1 1 2 へ進む。

ステップ 1 1 2 :

現補正入力データと直前の補正入力データの平均値に補正入力データを設定変更して、補正フローを終了する。

【 0 1 2 0 】

上述の補正フローにおいては、補正回数の制限を設け、必要に応じて精度を調整し、補正時間を短縮するようにしても良い。

【 0 1 2 1 】

上述した本発明に係る補正方法は、補正方法を実行するプログラムをコンピュータプログラムとして記録媒体に記録して、コンピュータにより実行させるようにしても良い。例えば、記憶手段、制御手段として開示したブロック部分を適用することができる。また、記録媒体に記録したプログラムはコンピュータ本体（検査装置等）から分離して搬送可能な形態にすることもできる。

【 0 1 2 2 】

上述の説明では例えば TFT 液晶を駆動する液晶駆動装置のテスト装置に適用する例を示したが、本発明に係る半導体検査装置、半導体検査方法は、各種の多段階の電圧を出力するように構成された多数の出力端子を有する半導体集積回路のテスト装置にも適用できることは言うまでも無い。

【 0 1 2 3 】

【発明の効果】

以上説明したように、本発明によれば、液晶表示パネルなどを駆動するために多数の出力端子を有し多段階の電圧を出力するように構成された半導体集積回路の合否判定測定テストが、コスト高要因となる高精度比較器などの手段を用いずに可能となる。また、簡易な構造の半導体検査装置をモジュール化することにより、半導体試験装置の外部に取り付けて用いる場合には、従来の半導体試験装置をそのまま活用でき簡易な構造で高精度に行える半導体試験システムを提供できる。

【図面の簡単な説明】

【図 1】

本発明に係る半導体検査装置の要部回路ブロックを示すブロック図である。

【図 2】

図 1 の半導体検査装置の要部回路ブロックを複数備えた半導体検査装置の要部を示すブロック図である。

【図 3】

補正データ生成手段の概略ブロックを示すブロック図である。

【図 4】

本発明に係る半導体検査システムの概略ブロックを示すブロック図である。

【図 5】

本発明に係る半導体検査システムの概略ブロックを示すブロック図である。

【図 6】

本発明に係る出力電圧検査手段における比較手段の補正方法を説明するブロック図である。

【図 7】

本発明に係る期待値電圧発生手段における補正方法を説明するブロック図である。

【図 8】

本発明に係る期待値電圧発生手段のブロック構成を示すブロック図である。

【図 9】

本発明に係る期待値電圧発生手段のブロック構成を示すブロック図である。

【図 1 0】

ハイレベル比較器の 0 V 補正值の補正方法における各ステップでの状況を示す状況一覧図表である。

【図 1 1】

ローレベル比較器の 0 V 補正值の補正方法における各ステップでの状況を示す状況一覧図表である。

【図 1 2】

期待値電圧発生手段のオフセット誤差の補正方法における各ステップでの状況を示す状況一覧図表である。

【図 1 3】

DAC の出力電圧が 1 0 0 m V の時の誤差補正值を求める各ステップでの状況を示す状況一覧図表である。

【図 1 4】

DAC の出力電圧が 1 2 9 0 0 m V の時の誤差補正值を求める各ステップでの状況を示す状況一覧図表である。

【図 1 5】

本発明に係る補正対象回路の補正方法をしめすフローチャートである。

【図 1 6】

本発明に係る補正対象回路の補正方法をしめすフローチャートである。

【図 1 7】

一般的な液晶駆動装置の概略を示すブロック図である。

【図 1 8】

基準電圧発生回路の概略を示す回路図である。

【図 1 9】

従来の半導体検査システムの概略を示すブロック図である。

【図 2 0】

従来の半導体検査システムの概略を示すブロック図である。

【図 2 1】

図 2 0 と同様の従来の半導体検査システムを説明する説明図である。

【図 2 2】

図 2 0 及び図 2 1 の従来の半導体検査システムにおける期待値電圧発生手段の概略回路ブロックを示すブロック図である。

【図 2 3】

階調出力電圧の状況を示す波形図である。

【図 2 4】

従来の半導体試験装置における出力電圧検出手段の概略回路ブロックを示すブロック図である。

【符号の説明】

6 減算器

8 増幅器

5 0 出力電圧検査手段

5 1 被検査電圧入力手段

5 2、5 3 比較器

6 0 期待値電圧発生手段

6 1、1 0 6、1 0 7、DAC

6 2、1 0 1 a、1 0 2 a 加算器

6 3 理想値入力データ記憶手段

6 4 補正值入力データ記憶手段

1 0 0、2 0 0、2 0 1 半導体検査装置

1 0 1、1 0 2 比較電圧生成用データ入力手段

1 0 1 b、1 0 2 b 共通比較電圧生成用データ入力手段

1 0 1 c、1 0 2 c 個別比較電圧生成用データ入力手段

2 1 0 補正データ生成手段

DUT 被テストデバイス

IVHb、IVLb 共通比較電圧生成用データ

IVHc、IVLc 個別比較電圧生成用データ

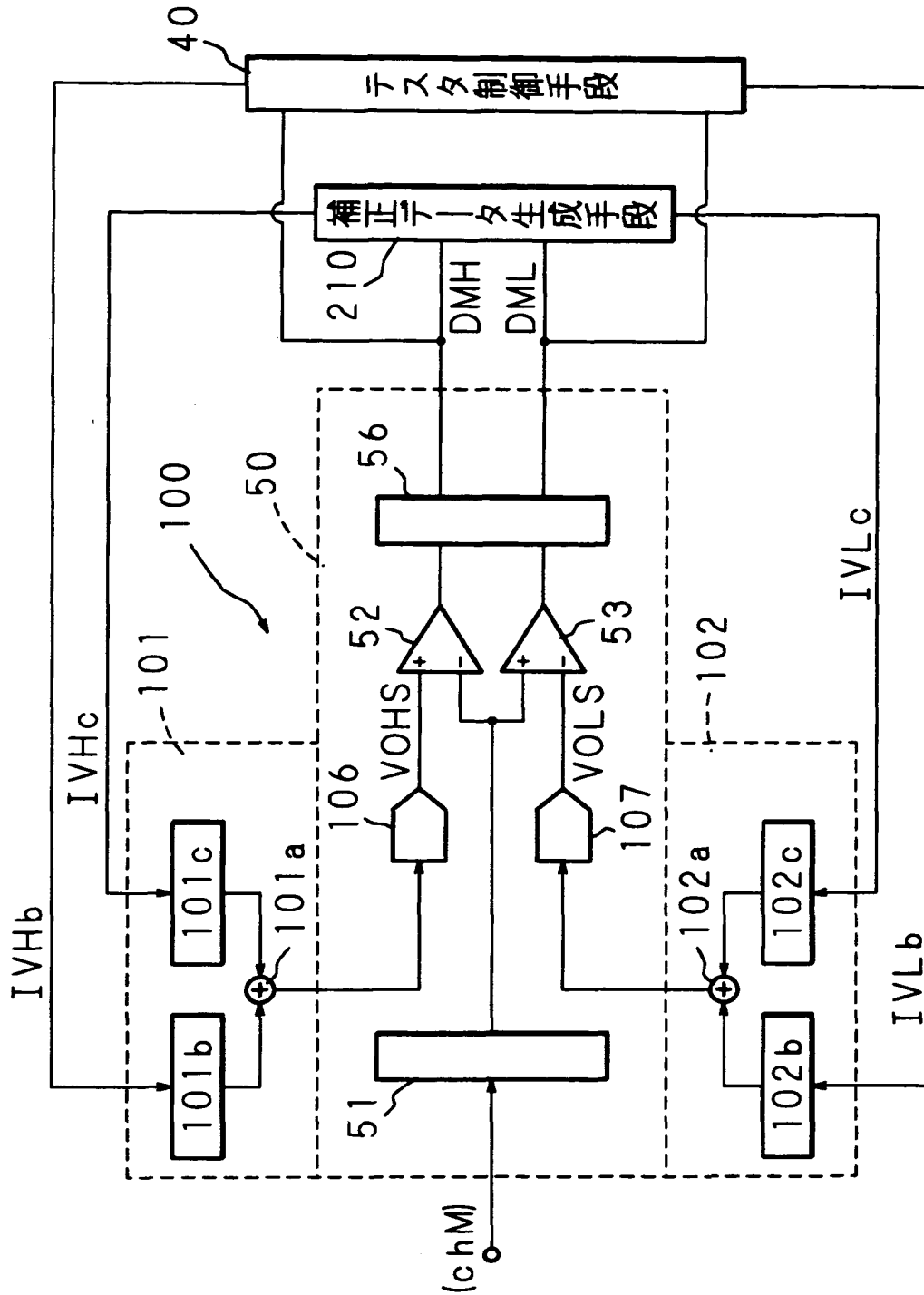


S W 1 第 1 補正用切替スイッチ

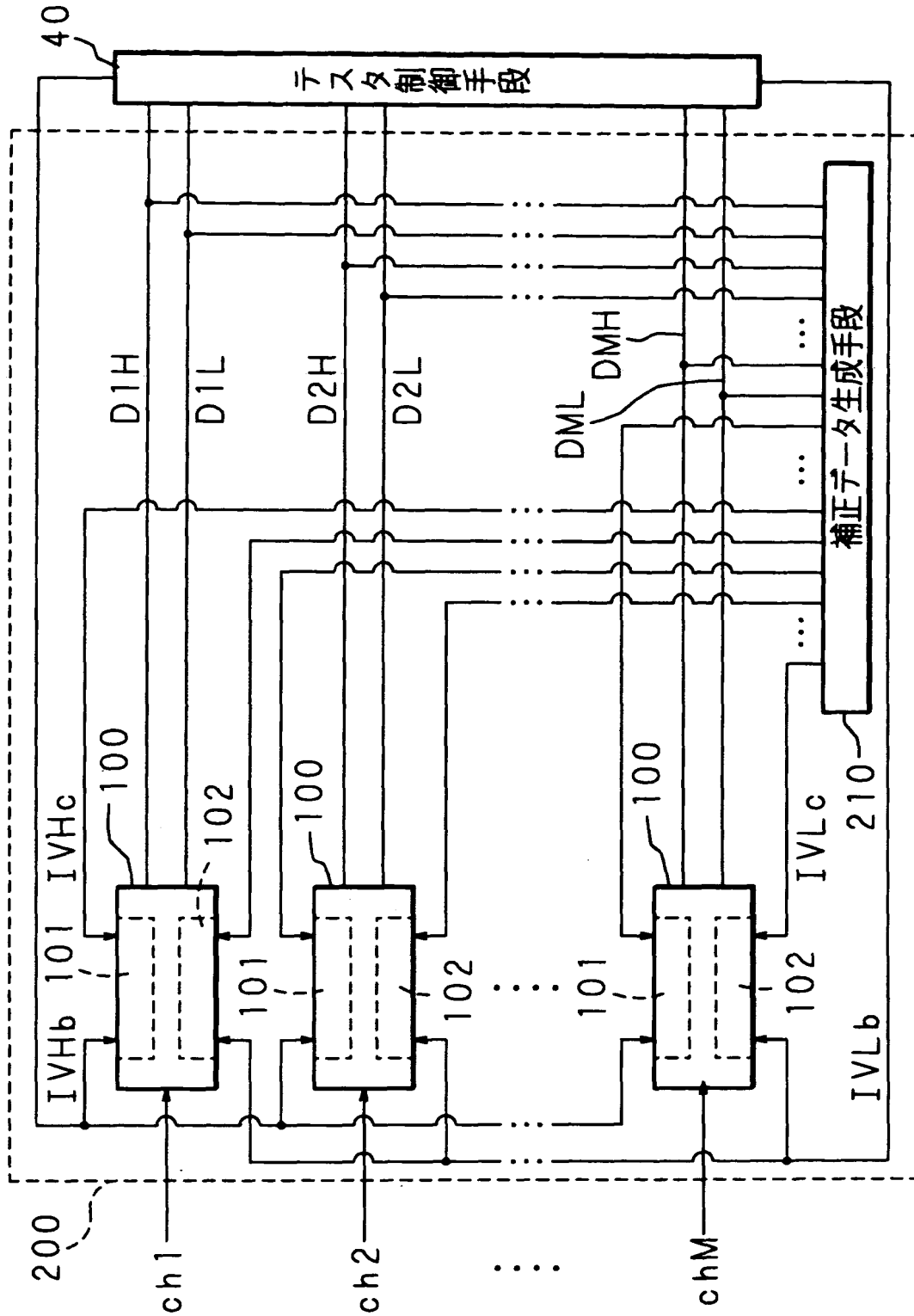
S W 2 第 2 補正用切替スイッチ

【書類名】 図面

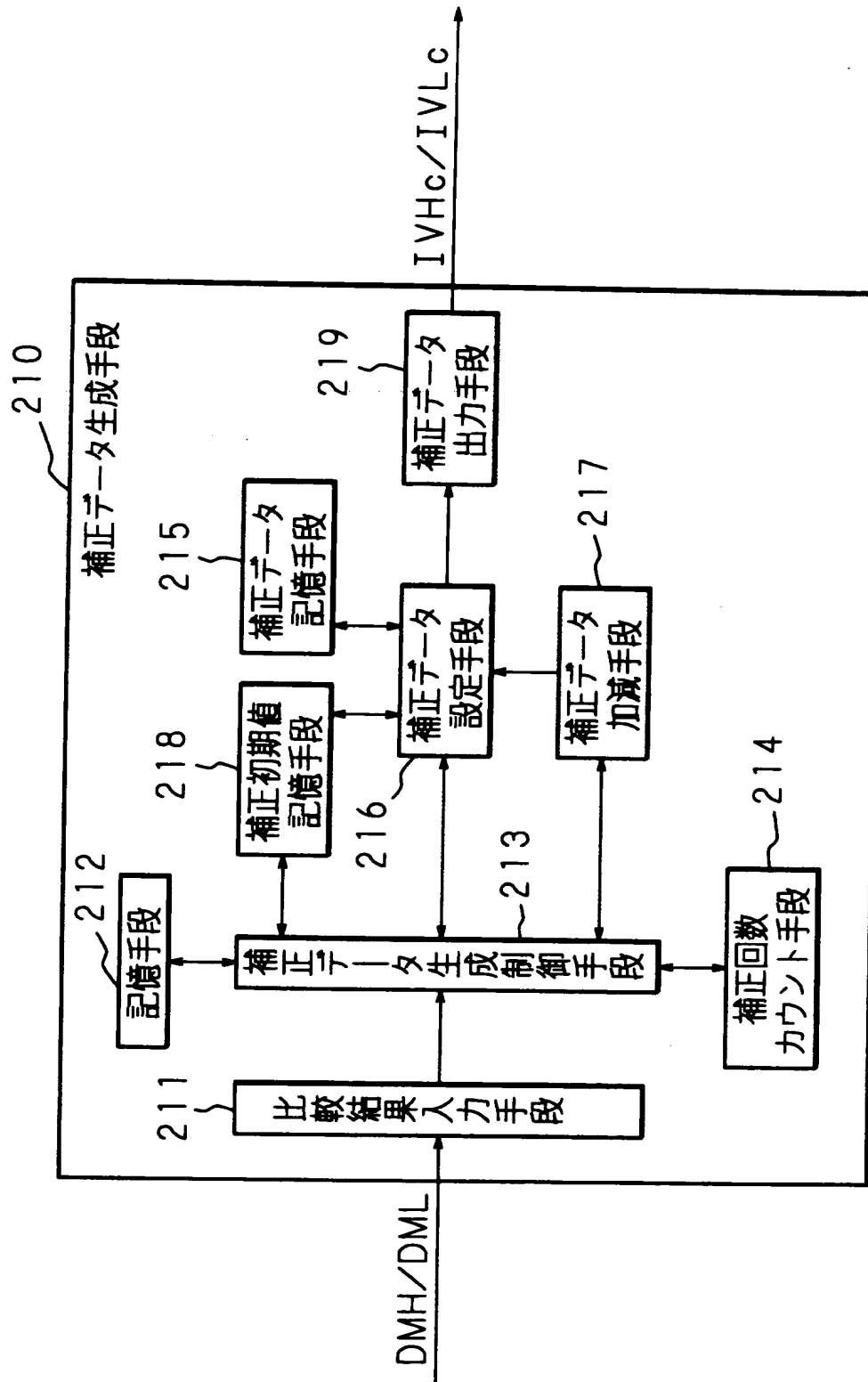
【図1】



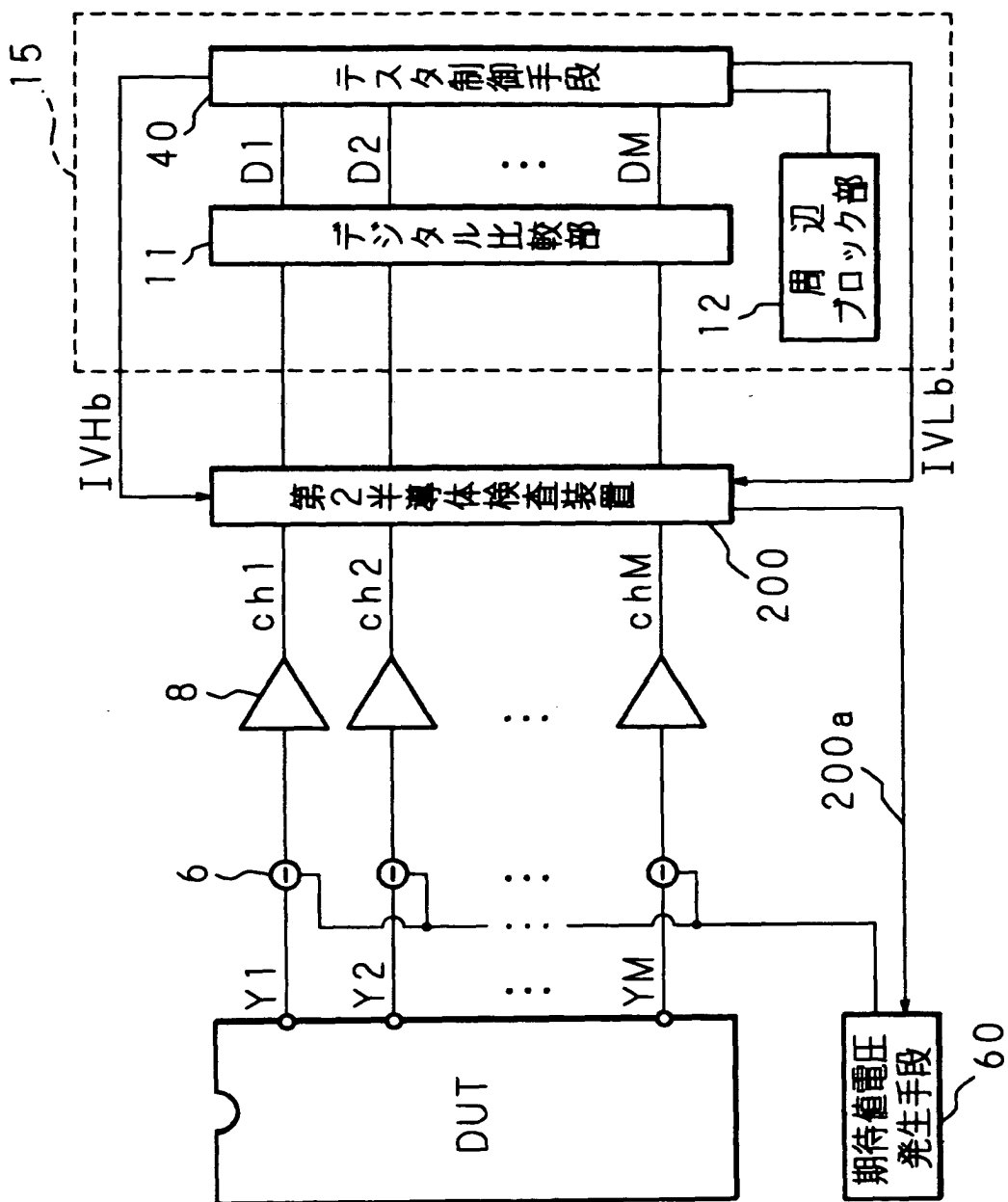
【図2】



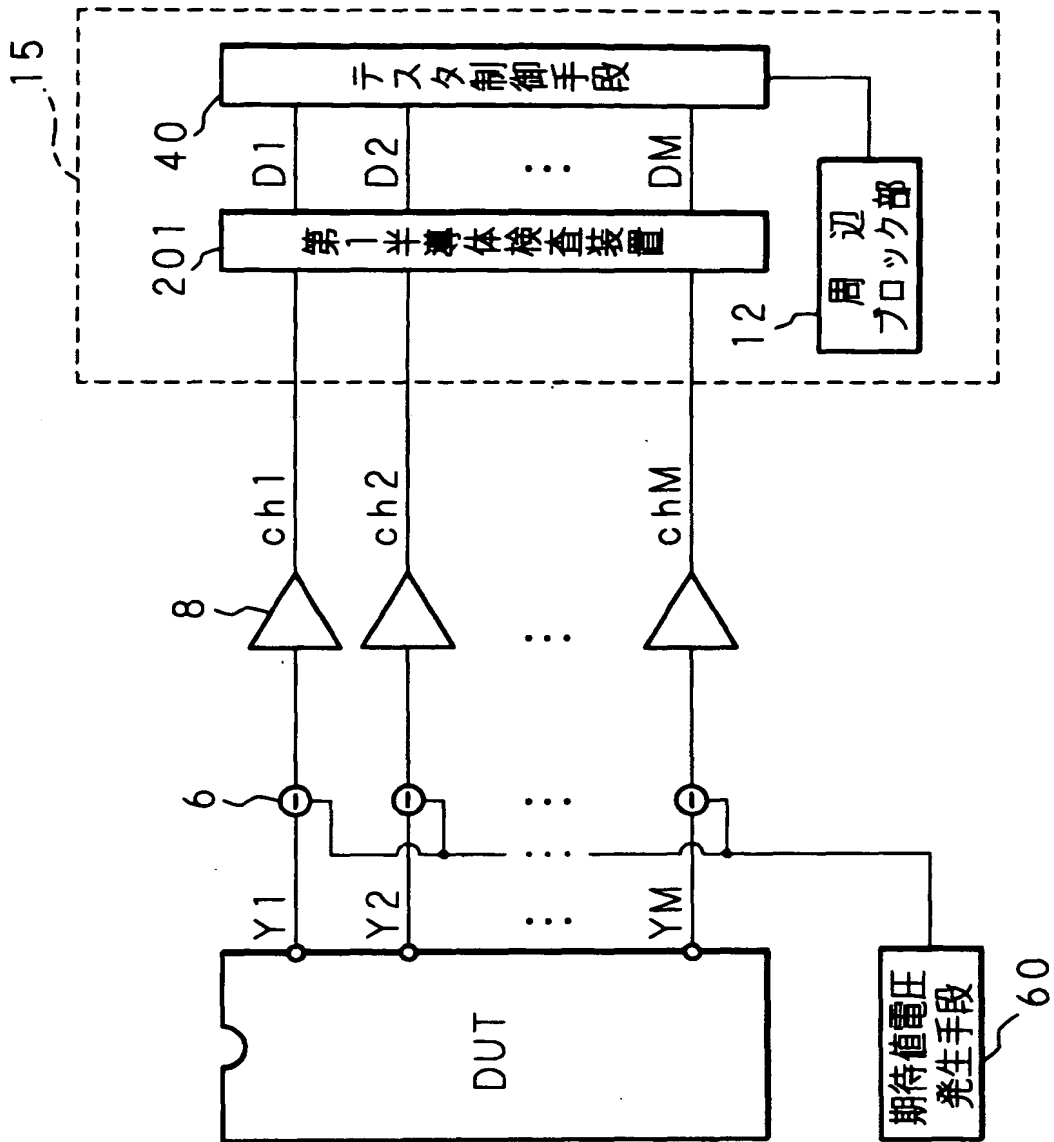
【図3】



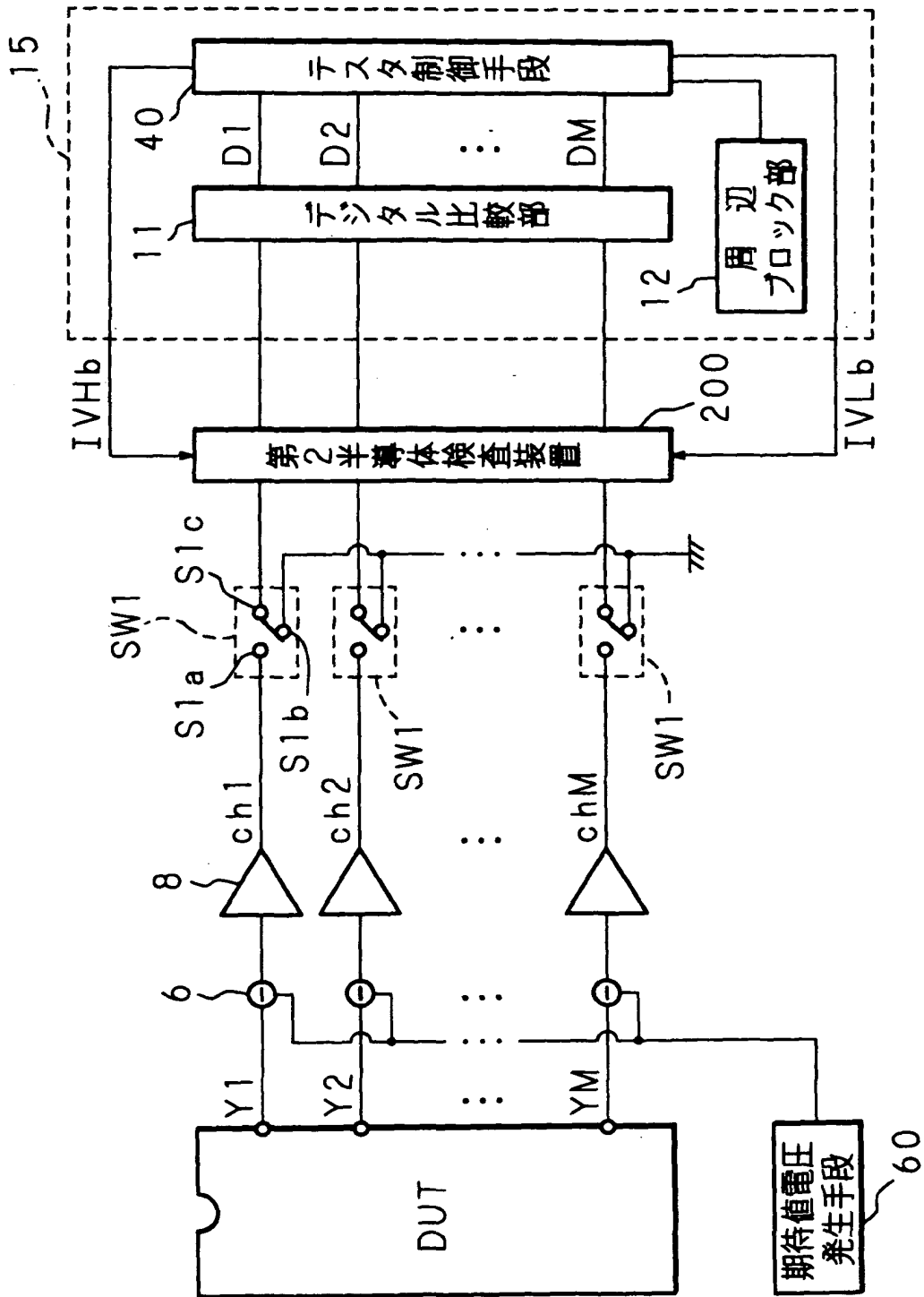
【図4】



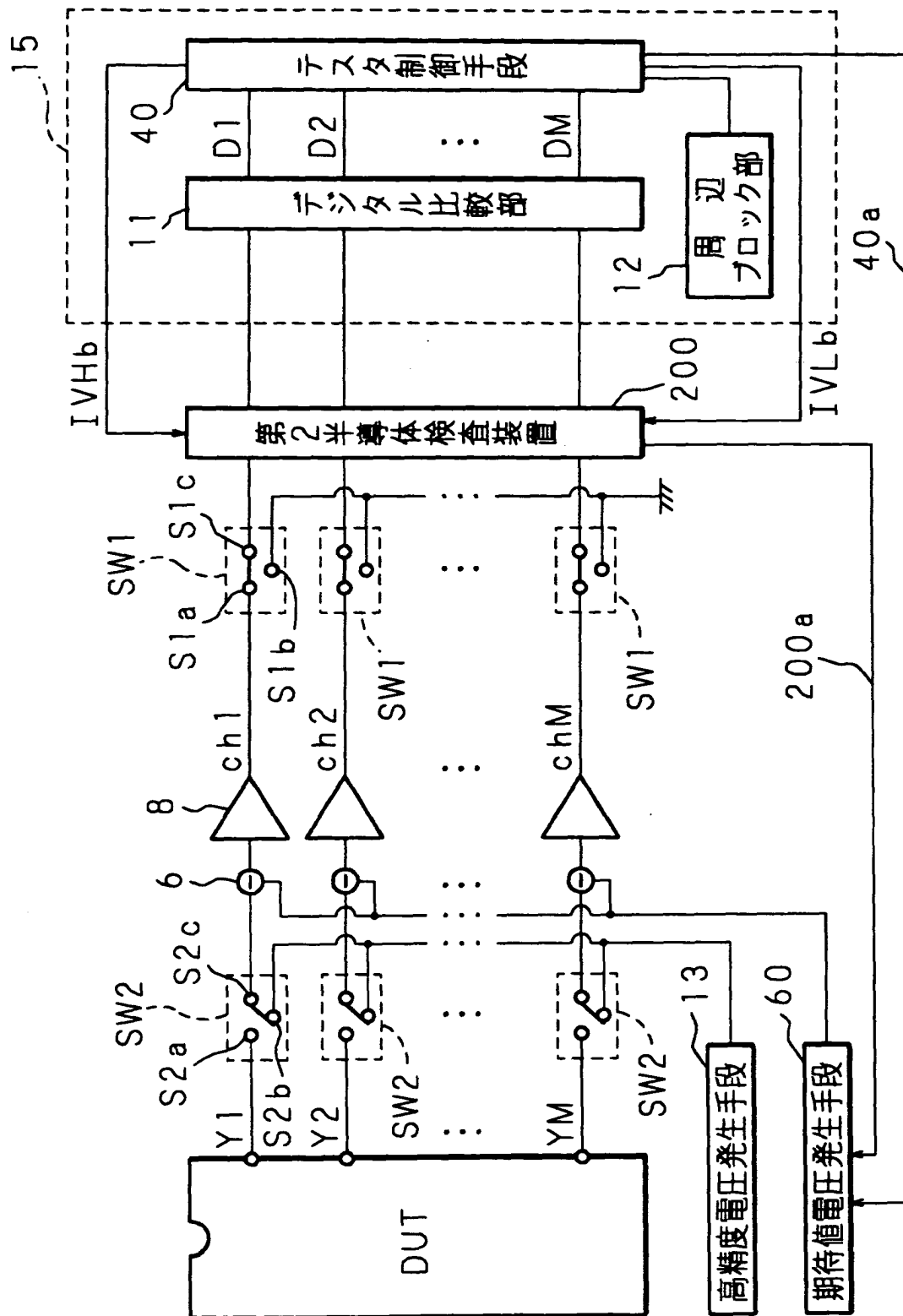
【图 5】



【図6】

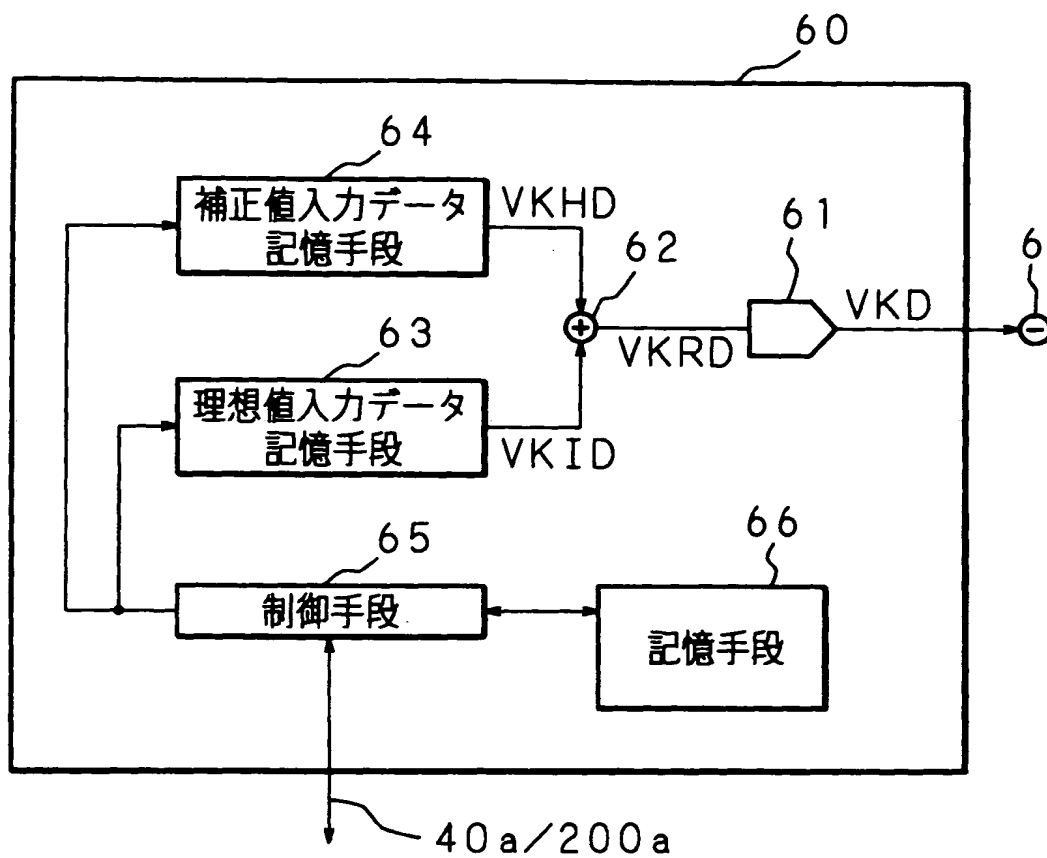


【図7】

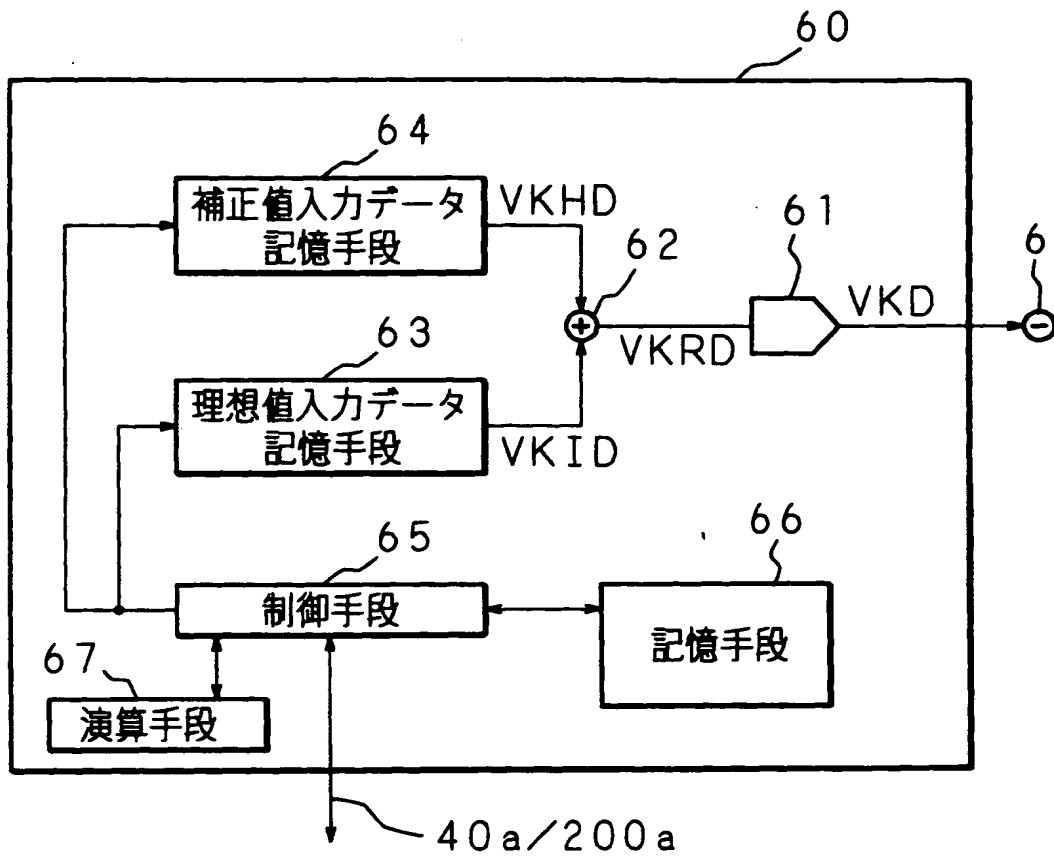




【図 8】



【図 9】



【図 1 0】

(単位：mV)

ステップ	IVHc 補正值	＋端子入力電圧 (実効入力電圧)	比較器出力	誤 差
1	128	148	ハイ	148
2	-64	-44	ロー	-44
3	32	52	ハイ	52
4	-16	4	ハイ	4
5	-40	-20	ロー	-20
6	-28	-8	ロー	-8
7	-22	-2	ロー	-2
8	-19	1	ハイ	1
9	-20.5	-0.5	ロー	-0.5
10	-19.75	0.25	ハイ	0.25
11	-20.128	-0.125	ロー	-0.125
12	-19.9375	0.0625	ハイ	0.0625

(DAC 量子化誤差分を除く)

【図 1 1】

(単位：mV)				
ステップ	I V L c 補正値	＋端子入力電圧 (実効入力電圧)	比較器出力	誤 差
21	-128	-118	□－	148
22	64	74	ハイ	-44
23	-32	-22	□－	52
24	16	6	ハイ	4
25	-8	2	ハイ	-20
26	-20	-10	□－	-8
27	-14	-4	□－	-2
28	-11	-1	□－	1
29	-9.5	0.5	ハイ	-0.5
30	-10.25	-0.25	□－	-0.25
31	-9.875	0.125	ハイ	0.125
32	-10.0625	-0.0625	□－	-0.0675

(DAC量子化誤差分を除く)

【図12】

(単位: mV)

ステップ	DAC 理想入力 データ VKID	DAC 補正入力 データ VKHD	DAC 実入力 データ VKRD	DAC 出力電圧 VKD	増幅器 入力電圧	増幅器 出力電圧	比較器 出力電圧
41	100	128	228	218	-118	-2832	ロー
42	100	-64	36	26	74	1776	ハイ
43	100	32	132	122	-22	-528	ロー
44	100	-16	84	74	26	624	ハイ
45	100	8	108	98	2	48	ハイ
46	100	20	120	110	-10	-240	ロー
47	100	14	114	104	-4	-96	ロー
48	100	11	111	101	-1	-24	ロー
49	100	9.5	109.5	99.5	0.5	12	ハイ
50	100	10.25	110.25	100.25	-0.25	-6	ロー
51	100	9.875	109.875	99.875	0.125	3	ハイ
52	100	10.0625	111.0625	100.0625	-0.0625	-1.5	ロー
53	100	9.9688	99.9688	99.9688	0.0312	0.7488	ハイ
54	100	10.0182	100.0182	100.0182	-0.0182	-0.4368	ロー
55	100	9.992375	109.992375	100.007625	-0.002375	-0.0057	ロー

備考: 高精度電圧発生手段13の出力電圧は100mVに固定

【図 13】

(単位: mV)

ステップ	DAC 理想入力 データ VKID	DAC 補正入力 データ VKHD	DAC 実入力 データ VKRD	DAC 出力電圧 VKD	増幅器 入力電圧	増幅器 出力電圧	比較器 出力電圧	高精度電圧 発生手段 出力電圧 VKS
61	100	128	228	228.023	-128.023	-3072.552	□-	100
62	100	-64	36	36.004	63.996	1535.904	ハイ	100
63	100	32	132	132.013	-32.013	-768.312	□-	100
64	100	-16	84	84.008	15.992	383.808	ハイ	100
65	100	8	108	108.011	-8.011	-192.264	□-	100
66	100	-4	96	96.010	3.990	95.760	ハイ	100
67	100	2	102	102.010	-2.010	-48.240	□-	100
68	100	-1	99	99.010	0.990	23.760	ハイ	100
69	100	0.5	100.5	105.510	-0.510	-12.240	□-	100
70	100	-0.25	99.75	99.760	0.240	5.760	ハイ	100
71	100	0.125	100.125	100.135	-0.135	-3.240	□-	100
72	100	-0.1875	99.9375	99.947	-0.053	1.272	ハイ	100

備考: 高精度電圧発生手段 13 の出力電圧は 100 mV に固定

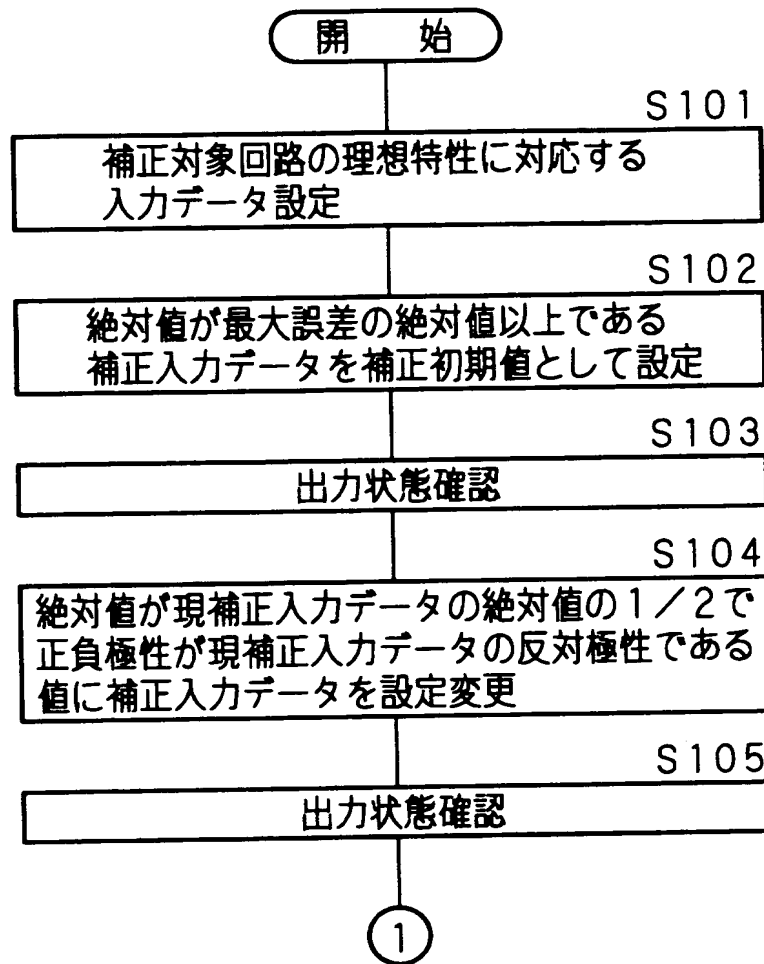
【図 1 4】

(単位: mV)

ステップ	DAC 理想入力 データ VKID	DAC 補正入力 データ VKHD	DAC 実入力 データ VKRD	DAC 出力電圧 VKD	増幅器 入力電圧	増幅器 出力電圧	比較器 出力 DMO1	高精度電圧 発生手段 出力電圧 VKS
81	12900	-128	12772	12773.277	126.723	3041.352	□-	12900
82	12900	64	12964	12965.296	-65.296	-1567.104	ハイ	12900
83	12900	-32	12868	12869.287	30.723	737.112	□-	12900
84	12900	16	12916	12917.292	-17.292	-415.008	ハイ	12900
85	12900	-8	12892	12893.289	6.711	162.064	□-	12900
86	12900	4	12904	12905.290	-5.290	-126.960	ハイ	12900
87	12900	-2	12898	12899.290	0.710	17.040	□-	12900
88	12900	1	12901	12902.240	-2.290	-54.960	ハイ	12900
89	12900	-0.5	12899.5	12900.790	-0.790	-18.960	□-	12900
90	12900	-1.25	12898.75	12900.040	-0.040	-0.960	ハイ	12900
91	12900	-1.625	12898.375	12899.665	0.335	8.040	□-	12900
92	12900	-1.4375	12898.562	12899.851	0.149	3.578	ハイ	12900

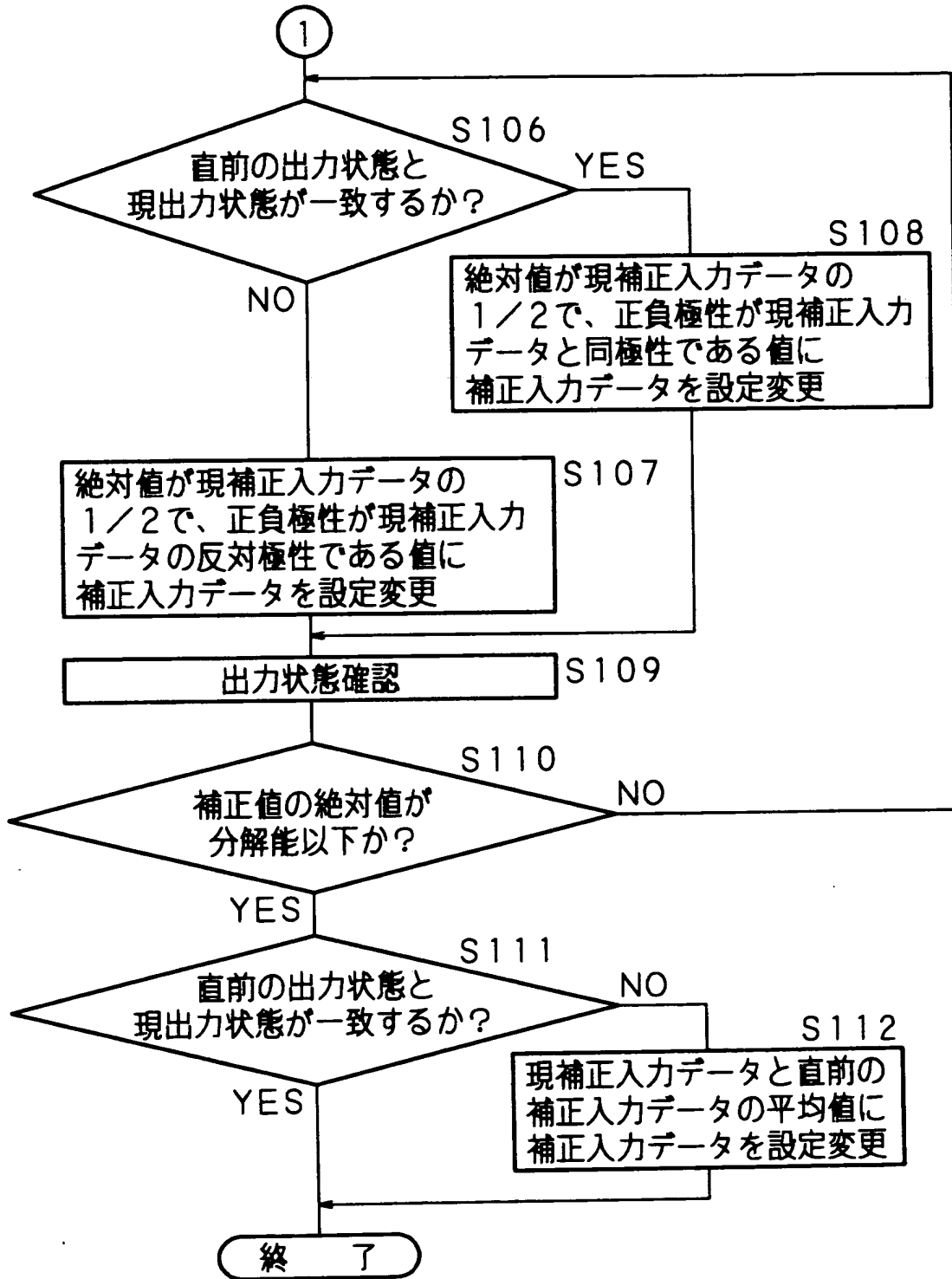
備考: 高精度電圧発生手段 1 3 の出力電圧は 1 2 9 0 0 mV に固定

【図 1 5】

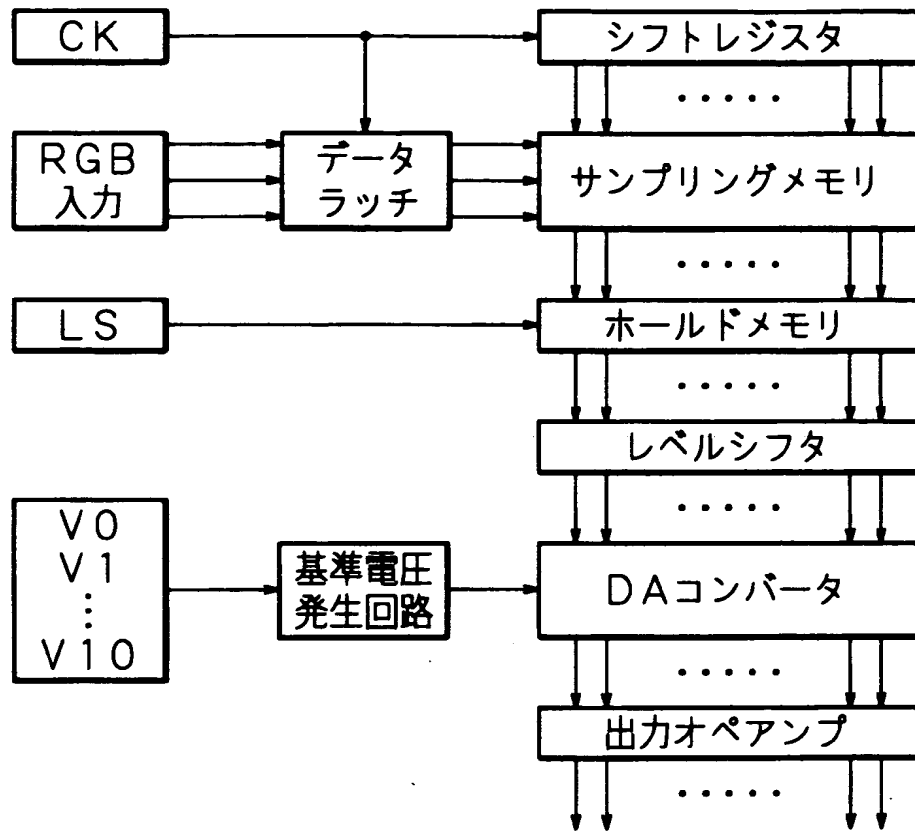




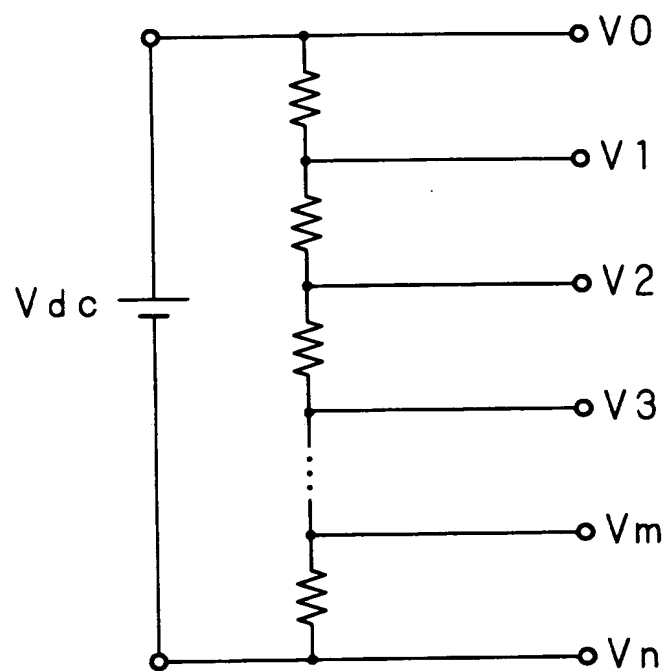
【図 16】



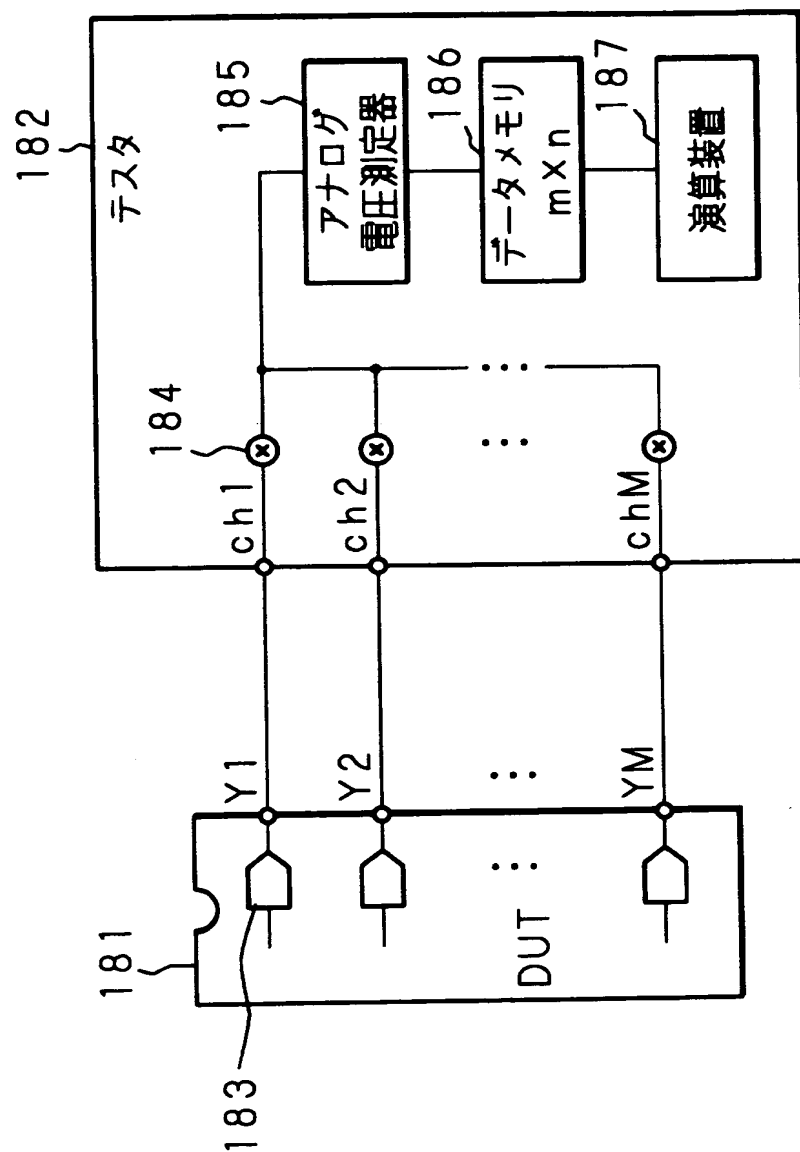
【図 17】



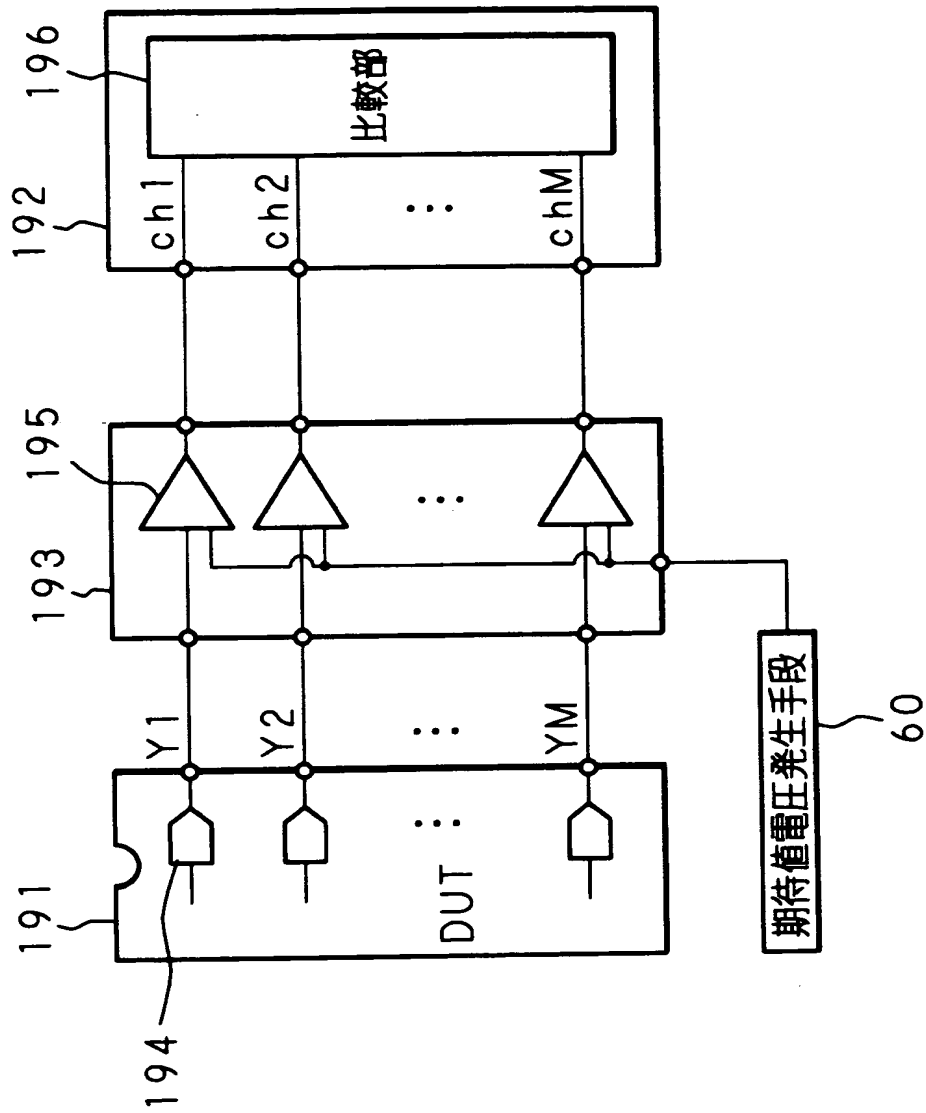
【図 1 8】



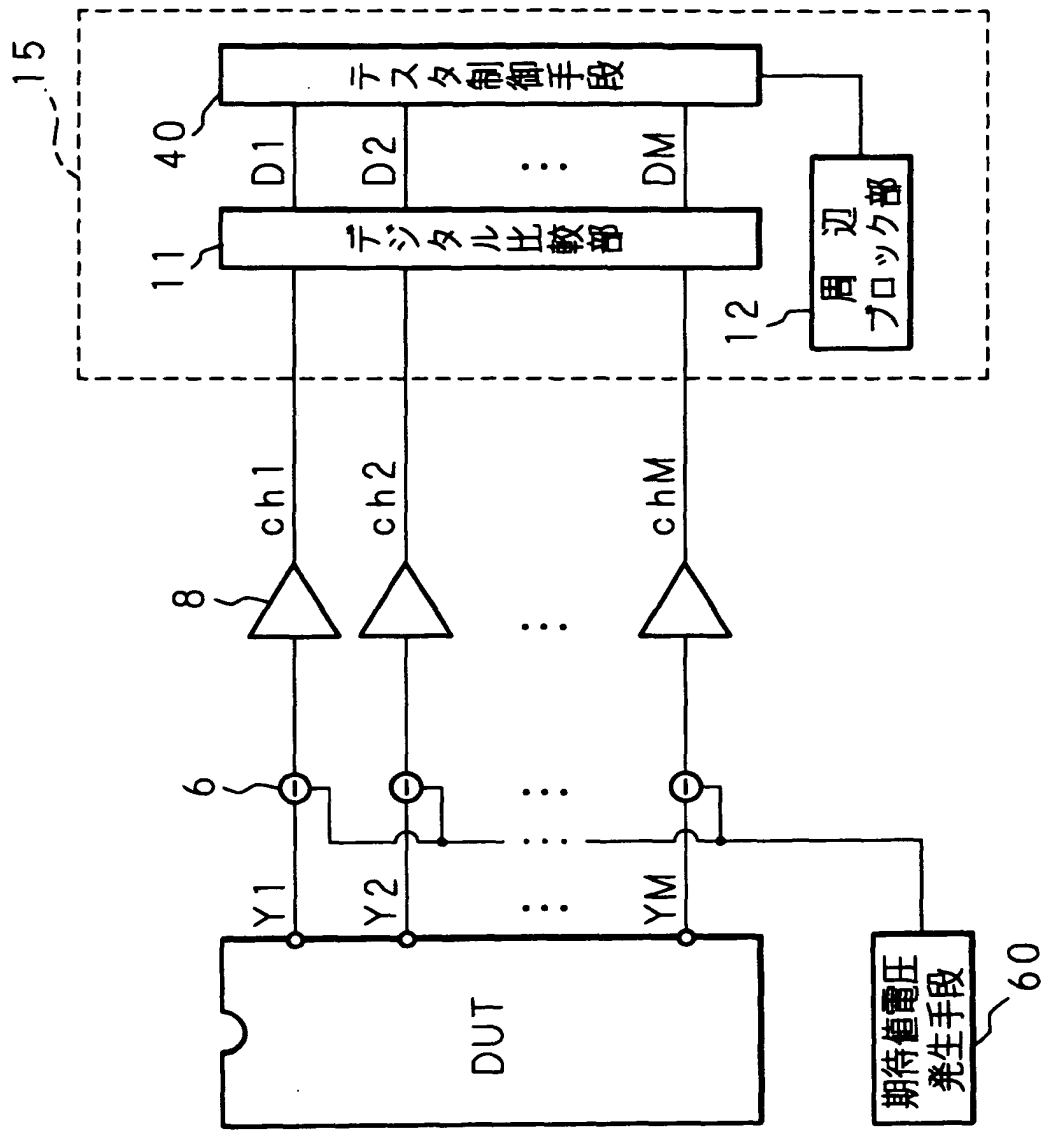
【図19】



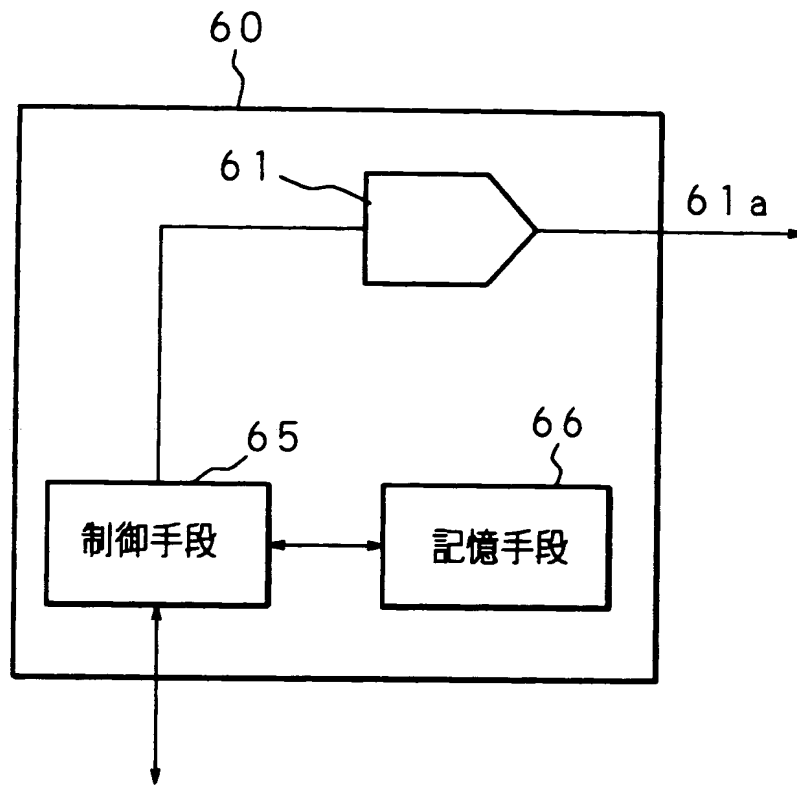
【図20】



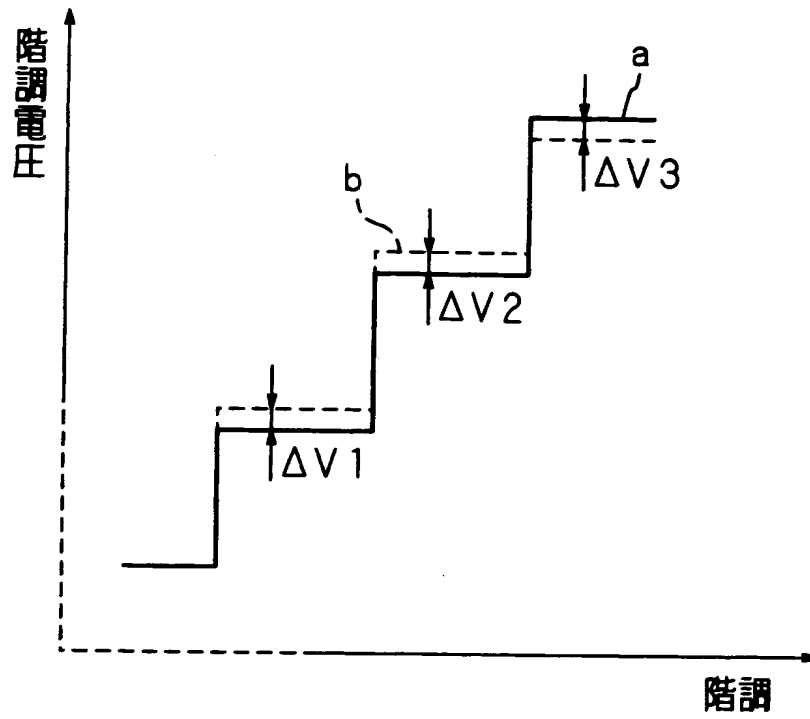
【図21】



【図 22】

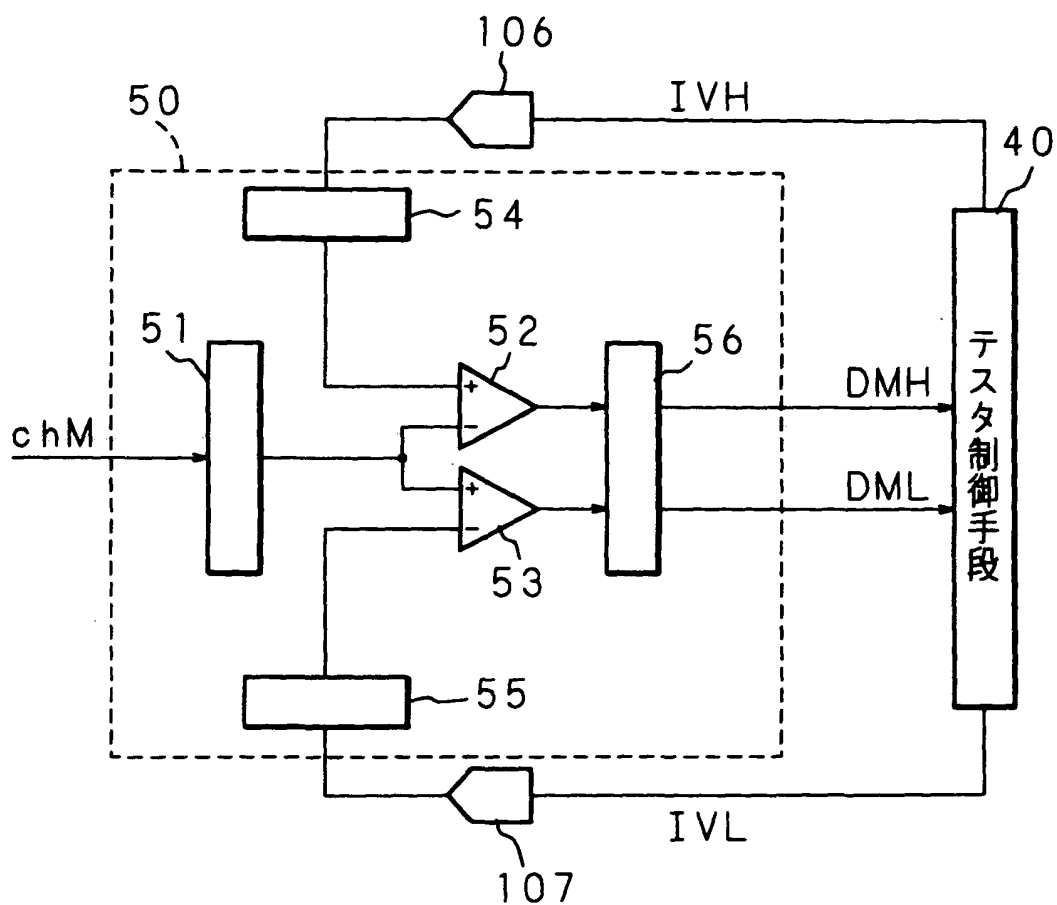


【図 2 3】





【図 24】



【書類名】 要約書

【要約】

【課題】 多数の出力端子を有し多階調の階調出力電圧を出力する半導体集積回路の合否判定測定テストが、安価な装置構成で高精度に行える半導体検査装置及び半導体検査方法を提供する。

【解決手段】 100は半導体検査装置を示し、出力電圧検査手段50、比較電圧生成用データ入力手段101、102を備える。出力電圧検査手段50は、被検査電圧入力手段51、DAC106、DAC107、ハイレベル比較器52、ローレベル比較器53、比較結果出力手段56を備える。ハイレベル比較器52、ローレベル比較器53は、被検査電圧と比較電圧とを比較する比較手段を構成するものとする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日  
[変更理由] 新規登録  
住 所 大阪府大阪市阿倍野区長池町22番22号  
氏 名 シャープ株式会社